

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-332633

(43)Date of publication of application : 30.11.2001

(51)Int.Cl.

H01L 21/8244

H01L 27/11

(21)Application number : 2000-153114

(71)Applicant : SONY CORP

(22)Date of filing : 24.05.2000

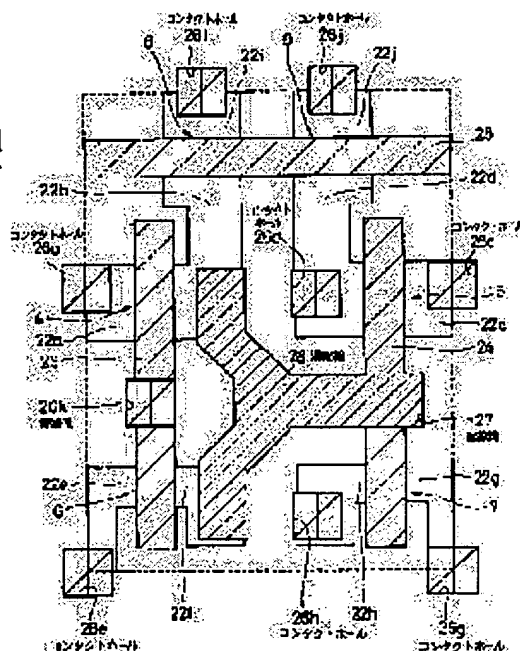
(72)Inventor : TSUJI ATSUSHI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify the shapes of an element active region and a gate electrode, facilitate pattern formation in a lithography process, reduce registration deviation of resist patterns, and relieve design rule of a divided path of a word line while variation in storage characteristics of a semiconductor storage device is prevented.

SOLUTION: In this semiconductor storage device, an inverter circuit constituted of a driver transistor 4 and a load transistor 6, an inverter circuit constituted of a driver transistor 5 and a load transistor 7, and an access transistor 8 and an access transistor 9 which are arranged in the direction perpendicular to the arrangement direction of the inverter circuits are arranged. A common diffusion layer 22b of the transistor 4 and the transistor 8 and a diffusion layer 22f of the transistor 6 which diffusion layers constitute a part of a storage node are connected by using a T-shaped trench wiring 28 buried in an interlayer insulating film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-332633

(P2001-332633A)

(43)公開日 平成13年11月30日(2001.11.30)

(51) Int.Cl.⁷

識別記号

FI

テーマート(参考)

H 0 1 L 21/8244

H O 1 L 27/10

3 8 1

5 F 0 8 3

27/11

審査請求 未請求 請求項の数36 O.L (全 24 頁)

(21)出願番号

特願2000-153114(P2000-153114)

(22) 出願日

平成12年 5 月24日 (2000. 5. 24)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)發明者 辻 篤史

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(74)代理人 100082762

弁理士 杉浦 正知

Fターム(参考) 5F083 BS27 BS46 BS48 JA37 JA39

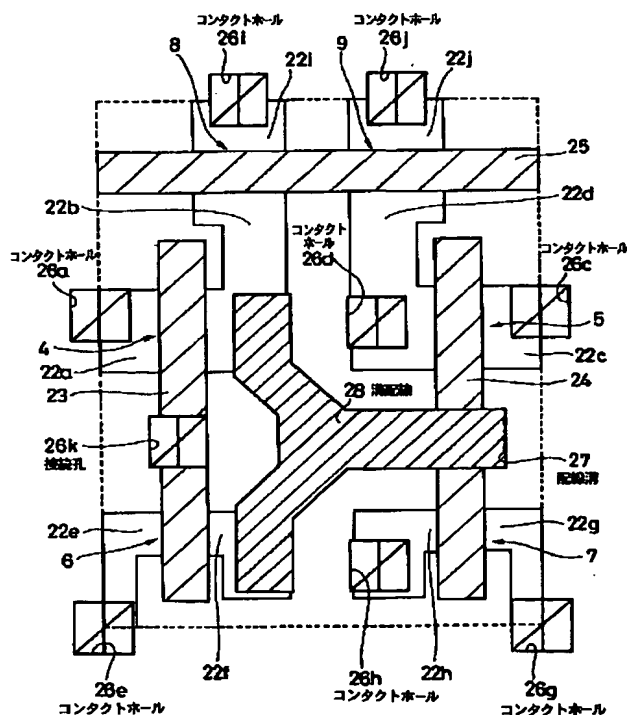
MA06 MA16 MA19 MA20

(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【課題】素子活性領域およびゲート電極の形状の単純化を図り、リソグラフィ工程におけるパターン形成を容易にし、レジストパターンの合わせずれを低減して、半導体メモリの記憶特性の変動を防止しつつ、ワード線の分路の設計ルールの緩和を図る。

【解決手段】 ドライバトランジスタ４とロードトランジスタ６とからなるインバータ回路と、ドライバトランジスタ５とロードトランジスタ７とからなるインバータ回路と、これらの配置方向に対して垂直な方向にアクセストランジスタ８およびアクセストランジスタ９とを配置する。記憶ノードの部分構成を構成する、トランジスタ４およびトランジスタ８に共通の拡散層２２ｂと、トランジスタ６の拡散層２２ｆとを層間絶縁膜に埋め込まれたＴ字形状の溝配線２８を用いて接続する。



1

【特許請求の範囲】

【請求項 1】 第 1 のインバータと第 2 のインバータとから構成されるフリップフロップと、第 1 のアクセストランジスタと、第 2 のアクセストランジスタとを有し、上記第 1 のインバータが、第 1 のドライバトランジスタと第 1 のロードトランジスタとから構成され、上記第 2 のインバータが、第 2 のドライバトランジスタと第 2 のロードトランジスタとから構成され、上記第 1 のインバータを構成する上記第 1 のドライバトランジスタおよび上記第 1 のロードトランジスタの配置方向と、上記第 2 のインバータを構成する上記第 2 のドライバトランジスタおよび上記第 2 のロードトランジスタの配置方向とが互いにほぼ平行に設けられ、上記第 1 のアクセストランジスタおよび上記第 2 のアクセストランジスタが、上記第 1 のインバータの配置方向および上記第 2 のインバータの配置方向に対してほぼ垂直な方向に配置された構造を有する半導体メモリにおいて、上記第 1 のドライバトランジスタの一方の拡散層と上記第 1 のアクセストランジスタの一方の拡散層とが共通に設けられ、上記第 2 のドライバトランジスタの一方の拡散層と上記第 1 のアクセストランジスタの一方の拡散層とが共通に設けられ、上記第 1 のドライバトランジスタ、上記第 2 のドライバトランジスタ、上記第 1 のロードトランジスタ、上記第 2 のロードトランジスタ、上記第 1 のアクセストランジスタおよび上記第 2 のアクセストランジスタを覆うようにして第 1 の層間絶縁膜が設けられ、上記半導体メモリの第 1 の記憶ノードの部分構成する、上記第 1 のドライバトランジスタおよび第 1 のアクセストランジスタに共通の拡散層と上記第 1 のロードトランジスタの拡散層とが、上記第 1 の層間絶縁膜の部分に埋め込まれた溝配線を用いて接続されていることを特徴とする半導体メモリ。

【請求項 2】 上記第 1 の層間絶縁膜上に少なくとも上記溝配線を覆うようにして形成された第 2 の層間絶縁膜が設けられ、上記半導体メモリの第 2 の記憶ノードの部分構成する、上記第 2 のドライバトランジスタおよび第 2 のアクセストランジスタに共通の拡散層と上記第 2 のロードトランジスタの拡散層とが、上記第 2 の層間絶縁膜上に設けられた第 1 の局所配線を用いて接続されていることを特徴とする請求項 1 記載の半導体メモリ。

【請求項 3】 上記第 2 のドライバトランジスタおよび第 2 のアクセストランジスタに共通の拡散層と、上記第 2 のロードトランジスタの拡散層と、上記第 1 のロードトランジスタおよび上記第 1 のドライバトランジスタに共通に用いられる第 1 のゲート電極とが、上記第 1 の局所配線を用いて接続されていることを特徴とする請求項 2 記載の半導体メモリ。

2

【請求項 4】 上記第 1 の局所配線のパターン形状が、平面的に、少なくとも 3 端を有するパターン形状を有し、上記第 2 のドライバトランジスタおよび第 2 のアクセストランジスタに共通の拡散層と、上記第 2 のロードトランジスタの拡散層と、上記第 1 のロードトランジスタおよび上記第 1 のドライバトランジスタに共通に用いられる第 1 のゲート電極とが、それぞれ上記第 1 の局所配線の一端の部分において接続されていることを特徴とする請求項 2 記載の半導体メモリ。

【請求項 5】 上記第 1 の局所配線の平面的なパターン形状が、T 字形状または Y 字形状であることを特徴とする請求項 4 記載の半導体メモリ。

【請求項 6】 上記第 1 のドライバトランジスタおよび第 1 のアクセストランジスタに共通の拡散層と、上記第 1 のロードトランジスタの拡散層と、上記第 2 のロードトランジスタおよび上記第 2 のドライバトランジスタに共通に用いられる第 2 のゲート電極とが、上記溝配線を用いて接続されていることを特徴とする請求項 1 記載の半導体メモリ。

【請求項 7】 上記溝配線が、平面的に、少なくとも 3 端を有するパターン形状を有し、上記第 1 のドライバトランジスタの拡散層と、上記第 1 のロードトランジスタの拡散層と、上記第 2 のゲート電極とが、それぞれ上記溝配線の一端において接続されていることを特徴とする請求項 1 記載の半導体メモリ。

【請求項 8】 上記溝配線の平面的なパターン形状が、T 字形状または Y 字形状であることを特徴とする請求項 7 記載の半導体メモリ。

【請求項 9】 上記第 1 のアクセストランジスタおよび上記第 2 のアクセストランジスタが、上記第 1 のドライバトランジスタおよび上記第 2 のドライバトランジスタが配置された側に配置されていることを特徴とする請求項 1 記載の半導体メモリ。

【請求項 10】 上記第 1 のドライバトランジスタおよび上記第 1 のロードトランジスタが、互いに共通に用いられる第 1 のゲート電極を有し、上記第 1 のゲート電極の平面的なパターン形状が矩形状であることを特徴とする請求項 1 記載の半導体メモリ。

【請求項 11】 上記第 1 のゲート電極が、多結晶シリコンからなる層、タングステン系金属からなる層、またはチタン系金属からなる層を有することを特徴とする請求項 10 記載の半導体メモリ。

【請求項 12】 上記第 2 のドライバトランジスタおよび上記第 2 のロードトランジスタが、互いに共通に用いられる第 2 のゲート電極を有し、上記第 2 のゲート電極の平面的なパターン形状が矩形状であることを特徴とする請求項 1 記載の半導体メモリ。

【請求項 13】 上記第 2 のゲート電極が、多結晶シリコンからなる層、タングステン系金属からなる層、またはチタン系金属からなる層を有することを特徴とする請

3

請求項 12 記載の半導体メモリ。

【請求項 14】 第 1 のインバータと第 2 のインバータとから構成されるフリップフロップと、第 1 のアクセストランジスタと、第 2 のアクセストランジスタとを有し、

上記第 1 のインバータが、第 1 のドライバトランジスタと第 1 のロードトランジスタとから構成され、

上記第 2 のインバータが、第 2 のドライバトランジスタと第 2 のロードトランジスタとから構成され、

上記第 1 のインバータを構成する、上記第 1 のドライバトランジスタおよび上記第 1 のロードトランジスタの配置方向と、上記第 2 のインバータを構成する上記第 2 のドライバトランジスタおよび上記第 2 のロードトランジスタの配置方向とが互いにほぼ平行に設けられ、

上記第 1 のアクセストランジスタおよび上記第 2 のアクセストランジスタが、上記第 1 のインバータの配置方向および上記第 2 のインバータの配置方向に対してほぼ垂直な方向に配置された構造を有する半導体メモリにおいて、

上記第 1 のドライバトランジスタの一方の拡散層と上記第 1 のアクセストランジスタの一方の拡散層とが共通に設けられ、

上記第 2 のドライバトランジスタの一方の拡散層と上記第 2 のアクセストランジスタの一方の拡散層とが共通に設けられ、

上記第 1 のドライバトランジスタ、上記第 2 のドライバトランジスタ、上記第 1 のロードトランジスタ、上記第 2 のロードトランジスタ、上記第 1 のアクセストランジスタおよび上記第 2 のアクセストランジスタを覆うようにして第 1 の層間絶縁膜が設けられ、

上記半導体メモリの第 1 の記憶ノードの部分構成する、上記第 1 のドライバトランジスタおよび第 1 のアクセストランジスタに共通の拡散層と、上記第 1 のロードトランジスタの拡散層とが、上記第 1 の層間絶縁膜の部分に設けられた第 1 の溝配線を用いて接続されているとともに、

上記半導体メモリの第 2 の記憶ノードの部分構成する、上記第 2 のドライバトランジスタおよび上記第 2 のアクセストランジスタに共通の拡散層と、上記第 2 のロードトランジスタの拡散層とが、上記第 1 の層間絶縁膜の部分に設けられた第 2 の溝配線を用いて接続されていることを特徴とする半導体メモリ。

【請求項 15】 上記第 1 の溝配線および上記第 2 の溝配線が、平面的に、2 端を有するパターン形状を有し、上記第 1 のドライバトランジスタおよび第 1 のアクセストランジスタに共通の拡散層と、上記第 1 のロードトランジスタの拡散層とが、上記第 1 の溝配線の上記 2 端のそれぞれの一端の部分において接続されているとともに、上記第 2 のドライバトランジスタおよび第 2 のアクセストランジスタに共通の拡散層と、上記第 2 のロード

4

トランジスタの拡散層とが、それぞれ上記第 2 の溝配線の一端において接続されていることを特徴とする請求項 14 記載の半導体メモリ。

【請求項 16】 上記第 1 の溝配線および上記第 2 の溝配線の平面的なパターン形状が矩形形状であることを特徴とする請求項 15 記載の半導体メモリ。

【請求項 17】 上記第 1 の層間絶縁膜上に、少なくとも上記第 1 の溝配線および上記第 2 の溝配線を覆うようにして形成された第 2 の層間絶縁膜が設けられ、上記第 2 の溝配線と、上記第 1 のロードトランジスタおよび上記第 1 のドライバトランジスタに共通に用いられる第 1 のゲート電極とが、上記第 2 の層間絶縁膜上に設けられる第 1 の局所配線を用いて接続されていることを特徴とする請求項 14 記載の半導体メモリ。

【請求項 18】 上記第 1 の局所配線が平面的に 2 端を有するパターン形状を有し、上記第 2 の溝配線と上記第 1 のゲート電極とが、それぞれ上記第 1 の局所配線の一端において接続されていることを特徴とする請求項 17 記載の半導体メモリ。

【請求項 19】 上記第 1 のゲート電極が、多結晶シリコンからなる層、タングステン系金属からなる層、またはチタン系金属からなる層を有することを特徴とする請求項 17 記載の半導体メモリ。

【請求項 20】 上記第 1 の層間絶縁膜上に、少なくとも上記第 1 の溝配線および上記第 2 の溝配線を覆うようにして形成された第 2 の層間絶縁膜が設けられ、上記第 1 の溝配線と、上記第 2 のロードトランジスタおよび上記第 2 のドライバトランジスタに共通に用いられる第 2 のゲート電極とが、上記第 2 の層間絶縁膜上に設けられる第 2 の局所配線を用いて接続されていることを特徴とする請求項 14 記載の半導体メモリ。

【請求項 21】 上記第 2 の局所配線が平面的に 2 端を有するパターン形状を有し、上記第 1 の溝配線と上記第 2 のゲート電極とが、それぞれ上記第 2 の局所配線の一端において接続されていることを特徴とする請求項 20 記載の半導体メモリ。

【請求項 22】 上記第 2 のゲート電極が、多結晶シリコンからなる層、タングステン系金属からなる層、またはチタン系金属からなる層を有することを特徴とする請求項 20 記載の半導体メモリ。

【請求項 23】 上記第 1 のアクセストランジスタおよび上記第 2 のアクセストランジスタが、上記第 1 のドライバトランジスタおよび上記第 2 のドライバトランジスタが配置された側に配置されていることを特徴とする請求項 14 記載の半導体メモリ。

【請求項 24】 上記第 1 のドライバトランジスタおよび上記第 1 のロードトランジスタが、互いに共通に用いられる第 1 のゲート電極を有し、上記第 1 のゲート電極の平面的なパターン形状が、凸部を有する矩形形状であることを特徴とする請求項 14 記載の半導体メモリ。

【請求項 25】 上記第 2 のドライバトランジスタおよび上記第 2 のロードトランジスタが、互いに共通に用いられる第 2 のゲート電極を有し、上記第 2 のゲート電極の平面的なパターン形状が、凸部を有する矩形状であることを特徴とする請求項 14 記載の半導体メモリ。

【請求項 26】 第 1 のインバータと第 2 のインバータとから構成されるフリップフロップと、第 1 のアクセストランジスタと、第 2 のアクセストランジスタとを有し、

上記第 1 のインバータが、第 1 のドライバトランジスタと第 1 のロードトランジスタとから構成され、

上記第 2 のインバータが、第 2 のドライバトランジスタと第 2 のロードトランジスタとから構成され、

上記第 1 のインバータを構成する上記第 1 のドライバトランジスタおよび上記第 1 のロードトランジスタの配置方向と、上記第 2 のインバータを構成する上記第 2 のドライバトランジスタおよび上記第 2 のロードトランジスタの配置方向とが互いにほぼ平行に設けられ、

上記第 1 のインバータにおける上記配置方向および上記第 2 のインバータにおける上記配置方向に対してほぼ垂直な方向に、上記第 1 のアクセストランジスタおよび上記第 2 のアクセストランジスタが配置された構造を有する半導体メモリにおいて、

上記第 1 のドライバトランジスタ、上記第 2 のドライバトランジスタ、上記第 1 のロードトランジスタ、上記第 2 のロードトランジスタ、上記第 1 のアクセストランジスタおよび上記第 2 のアクセストランジスタを覆うようにして第 1 の層間絶縁膜が設けられ、

上記半導体メモリの第 1 の記憶ノードの部分構成する、上記第 1 のドライバトランジスタの拡散層と、上記第 1 のロードトランジスタの拡散層と、上記第 1 のアクセストランジスタの拡散層とが、上記第 1 の層間絶縁膜の部分に設けられた第 1 の溝配線を用いて接続されているとともに、

上記半導体メモリの第 2 の記憶ノードの部分構成する、上記第 2 のドライバトランジスタの拡散層と、上記第 2 のロードトランジスタの拡散層と、上記第 2 のアクセストランジスタの拡散層とが、上記第 1 の層間絶縁膜の部分に設けられた第 2 の溝配線を用いて接続されていることを特徴とする半導体メモリ。

【請求項 27】 上記第 1 の溝配線および上記第 2 の溝配線の平面的なパターン形状が矩形状であることを特徴とする請求項 26 記載の半導体メモリ。

【請求項 28】 上記第 1 の層間絶縁膜上に、少なくとも上記第 1 の溝配線および上記第 2 の溝配線を覆うようにして形成された第 2 の層間絶縁膜が設けられ、上記第 2 の溝配線と、上記第 1 のロードトランジスタおよび上記第 1 のドライバトランジスタに共通に用いられる第 1 のゲート電極とが、上記第 2 の層間絶縁膜上に設けられる第 1 の局所配線を用いて接続されていることを特徴と

する請求項 26 記載の半導体メモリ。

【請求項 29】 上記第 1 の局所配線が平面的に 2 端を有するパターン形状を有し、上記第 2 の溝配線と上記第 1 のゲート電極とが、それぞれ上記第 1 の局所配線の一端において接続されていることを特徴とする請求項 28 記載の半導体メモリ。

【請求項 30】 上記第 1 のゲート電極が、多結晶シリコンからなる層、タングステン系金属からなる層、またはチタン系金属からなる層を有することを特徴とする請求項 28 記載の半導体メモリ。

【請求項 31】 上記第 1 の層間絶縁膜上に、少なくとも上記第 1 の溝配線および上記第 2 の溝配線を覆うようにして形成された第 2 の層間絶縁膜が設けられ、上記第 1 の溝配線と、上記第 2 のロードトランジスタおよび上記第 2 のドライバトランジスタに共通に用いられる第 2 のゲート電極とが、上記第 2 の層間絶縁膜上に設けられる第 2 の局所配線を用いて接続されていることを特徴とする請求項 26 記載の半導体メモリ。

【請求項 32】 上記第 2 の局所配線が平面的に 2 端を有するパターン形状を有し、上記第 1 の溝配線と上記第 2 のゲート電極とが、それぞれ上記第 2 の局所配線の一端において接続されていることを特徴とする請求項 31 記載の半導体メモリ。

【請求項 33】 上記第 2 のゲート電極が、多結晶シリコンからなる層、タングステン系金属からなる層、またはチタン系金属からなる層を有することを特徴とする請求項 31 記載の半導体メモリ。

【請求項 34】 上記第 1 のアクセストランジスタおよび上記第 2 のアクセストランジスタが、上記第 1 のドライバトランジスタおよび上記第 2 のドライバトランジスタが配置された側に配置されていることを特徴とする請求項 26 記載の半導体メモリ。

【請求項 35】 上記第 1 のドライバトランジスタ、上記第 2 のドライバトランジスタ、上記第 1 のロードトランジスタ、上記第 2 のロードトランジスタ、上記第 1 のアクセストランジスタおよび上記第 2 のアクセストランジスタのそれぞれの素子活性領域が、互いに平面的に隔離して設けられていることを特徴とする請求項 26 記載の半導体メモリ。

【請求項 36】 上記素子活性領域の平面形状が、矩形状であることを特徴とする請求項 35 記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体メモリに関し、特に、完全 CMOS 型 S RAM (Full Complementary Metal-Oxide-Semiconductor Static Random Access Memory) のメモリセルに適用して好適なものである。

【0002】

【従来の技術】 従来の S RAM のセル構造について説明

7

する。図17に、6トランジスタ型SRAMにおけるメモリセルの等価回路を示す。図17に示すように、このメモリセルのフリップフロップ回路101は、一対のインバータ回路102、103により構成されている。これらのインバータ回路102、103は、それぞれ駆動用のnチャネルMOSトランジスタ（ドライバトランジスタ）104、105と、負荷用のpチャネルMOSトランジスタ（ロードトランジスタ）106、107とから構成されている。そして、フリップフロップ回路101と転送用のnチャネルMOSトランジスタ（アクセストランジスタ）108、109とにより6トランジスタ型SRAMのメモリセルが構成されている。

【0003】ドライバトランジスタ104、105のソース領域には接地線110が接続されている。また、ロードトランジスタ106、107のソース領域には電源線111が接続され、電源 V_{dd} に接続されている。また、ワード線112がアクセストランジスタ108、109のゲート電極となっている。また、それぞれのアクセストランジスタ108、109におけるそれぞれの一方のソース/ドレイン領域に、一対の真補のビット線113、114がそれぞれ接続されている。

【0004】また、図17中において波線で示す、ドライバトランジスタ104、105と、ロードトランジスタ106、107とのそれぞれの接続点は、ドライバトランジスタ104、105のそれぞれの記憶ノード部 N_1 、 N_2 である。そして、ドライバトランジスタ104の記憶ノード部 N_1 は、ドライバトランジスタ104のノードコンタクト部、ロードトランジスタ106のノードコンタクト部、およびこれらのノードコンタクト部を接続するLIC(Local Inter Connect) 115からなる。このLIC115は、ドライバトランジスタ105およびロードトランジスタ107のゲート電極に接続されている。同様に、ドライバトランジスタ105の記憶ノード部 N_2 は、ドライバトランジスタ105のノードコンタクト部、ロードトランジスタ107のノードコンタクト部、およびこれらのノードコンタクト部を接続するLIC116からなる。このLIC116は、ドライバトランジスタ104およびロードトランジスタ106のゲート電極に接続されている。

【0005】また、ドライバトランジスタ104、105のそれぞれの記憶ノード部 N_1 、 N_2 は、一対のアクセストランジスタ108、109にそれぞれ接続され、これらのアクセストランジスタ108、109は、それぞれビットコンタクト部117、118を介してそれぞれのビット線113、114に接続されている。

【0006】次に、上述の6トランジスタ型SRAMの具体的構造に関する従来例について説明する。

【0007】図18～20に、上述の6トランジスタ型SRAM（完全CMOS型SRAM）を構成する1つのメモリセルを示す。この第1の従来例におけるメモリセ

8

ルはは、一般に「入型」と称されるメモリセルである。

【0008】図18Aに示すように、半導体基板に素子活性領域121a～121dが形成されており、ドライバトランジスタ104、105、ロードトランジスタ106、107およびアクセストランジスタ108、109のソース/ドレイン領域を構成する拡散層122a～122jが素子活性領域121a～121dに形成されている。また、半導体基板上的層間絶縁膜（図示せず）上には、インバータ回路102、103のゲート電極123、124とワード線125とが多結晶Si層によって形成されている。

【0009】また、図18Bに示すように、多結晶Si層からなるゲート電極123、124とワード線125とが層間絶縁膜（図示せず）により覆われており、この層間絶縁膜の部分に、拡散層122a～122jおよびゲート電極123、124の分枝部123a、124aに達するコンタクトホール126a～126jが形成されている。これらのコンタクトホール126a～126jの内部にはコンタクトプラグが埋め込まれている。また、コンタクトホール126a、126c、126d、126e、126f、126g、126i、126jは、多結晶Si層からなるゲート電極の間において、半導体基板と接続するためのものである。また、コンタクトホール126b、126hは、シェアードコンタクトであり、コンタクトホール126b内のコンタクトプラグを介してゲート電極124の分枝部124aが拡散層122bに接続されているとともに、コンタクトホール126h内のコンタクトプラグを介してゲート電極123の分枝部123aが拡散層122hに接続されている。

【0010】図19Aに示すように、コンタクトホール126a～126jが形成されている層間絶縁膜上には、コンタクトホール126b、126f内のコンタクトプラグどうしを接続する局所配線127aと、コンタクトホール126d、126h内のコンタクトプラグどうしを接続する局所配線127bと、コンタクトホール126a、126c、126e、126g、126i、126j内のコンタクトプラグに接するコンタクト電極128a～128fとが、第1の金属層により形成されている。

【0011】第1の金属層は層間絶縁膜（図示せず）に覆われており、それぞれコンタクト電極128a～128fに達する接続孔129a～129fがこの層間絶縁膜に形成されている。そして、これらの接続孔129a～129fの内部には接続孔プラグが埋め込まれている。

【0012】また、図19Bに示すように、この層間絶縁膜上には、接続孔129a、129b内の接続孔プラグに接する接地線（ V_{ss} ）130と、接続孔129c、129d内の接続孔プラグに接する電源線（ V_{dd} ）13

1と、ワード線125の分路132と、接続孔129e、129f内の接続孔プラグに接するコンタクト電極133a、133bとが、第2の金属層によって形成されている。

【0013】また、第2の金属層は層間絶縁膜（図示せず）に覆われており、この層間絶縁膜の部分に、コンタクト電極133a、133bに達する接続孔134a、134bが形成されている。また、これらの接続孔134a、134bの内部には接続孔プラグが埋め込まれている。

【0014】図20に示すように、第2の金属層を覆う層間絶縁膜上には、接続孔134a、134b内の接続孔プラグにそれぞれ接するビット線135、136が第3の金属層によって形成されている。

【0015】次に、第1の従来例の改良例として考案された第2の従来例について説明する。

【0016】図21～23に、6トランジスタ型SRAM（完全CMOS型SRAM）を構成する1つのメモリセルを示す。この第2の従来例におけるメモリセルは、第1の従来例において示す「λ型」のメモリセルを改良して、シェアードコンタクトを用いずに構成されたメモリセルである。

【0017】図21Aに示すように、第2の従来例におけるメモリセルは、半導体基板に素子活性領域201a～201dが形成されており、ドライバトランジスタ104、105、ロードトランジスタ106、107およびアクセストランジスタ108、109のソース/ドレイン領域を構成する拡散層202a～202jが素子活性領域201a～201dに形成されている。また、半導体基板上のゲート絶縁膜（図示せず）上には、インバータ回路102、103のゲート電極203、204とワード線205とが多結晶Si層により形成されている。

【0018】また、図21Bに示すように、多結晶Si層は層間絶縁膜（図示せず）により覆われており、この層間絶縁膜の部分に、拡散層202a～202jに達するコンタクトホール206～206j、およびゲート電極203、204の分枝部203a、204aにそれぞれ達する接続孔206k、206lが形成されている。これらのコンタクトホール206a～206jおよび接続孔206k、206lの内部にはプラグが埋め込まれている。これらのうち、コンタクトホール206a～206jは、多結晶Si層からなるゲート電極の間において、半導体基板と接続するためのものである。また、接続孔206k、206lは、後述する配線層とゲート電極とを接続するためのものである。すなわち、接続孔206k内の接続孔プラグがゲート電極203の分枝部203aに接続されているとともに、コンタクトホール206l内の接続孔プラグがゲート電極204の分枝部204aに接続されている。

【0019】また、図22Aに示すように、コンタクトホール206a～206j、および接続孔206k、206lが形成されている層間絶縁膜上には、コンタクトホール206b、206fおよび接続孔206k、206l内のプラグどうしを接続する局所配線207aと、コンタクトホール206d、206h内のコンタクトプラグどうしを接続する局所配線207bと、コンタクトホール206a、206c、206e、206g、206i、206j内のコンタクトプラグにそれぞれ接する、コンタクト電極208a、208c、208e、208g、208i、208jと、ゲート電極203の分枝部203aに接続された接続孔206k内のコンタクトプラグに接続するコンタクト電極208kと、ワード線の分路209とが、第1の金属層により形成されている。

【0020】第1の金属層は層間絶縁膜（図示せず）に覆われており、コンタクト電極208a～208kに達する接続孔210a～210fがこの層間絶縁膜に形成されている。そして、これらの接続孔210a～210fの内部には接続孔プラグが埋め込まれている。

【0021】また、図22Bに示すように、この層間絶縁膜上には、接続孔210a、210c内の接続孔プラグに接する接地線（ V_{ss} ）211と、接続孔210e、210g内の接続孔プラグに接続する電源線（ V_{dd} ）212と、接続孔210k、210b内の接続孔プラグに接続する局所配線213と、接続孔210i、210j内の接続孔プラグに接続するコンタクト電極214i、214jとが、第2の金属層によって形成されている。

【0022】また、第2の金属層は層間絶縁膜（図示せず）に覆われており、この層間絶縁膜の部分に、コンタクト電極214i、214jに達する接続孔215i、215jが形成されている。また、これらの接続孔215i、215jの内部には接続孔プラグが埋め込まれている。

【0023】図23に示すように、この層間絶縁膜上には、接続孔215i、215j内の接続孔プラグにそれぞれ接するビット線216、217が第3の金属層によって形成されている。

【0024】以上のように構成された、第1の従来例による6トランジスタ型SRAMにおいては、図18に示すように、素子活性領域121a、121bが、それぞれアクセストランジスタ108、109とドライバトランジスタ104、105との間で共用されている。そのため、素子活性領域121a、121bは図18に示すような屈曲した形状にしなければならない。そのため、ゲート電極123、124を構成する多結晶Si膜からなるパターンの形状、および素子活性領域121a～121dの形状は非常に複雑になってしまう。これにより、リソグラフィ工程の際のパターン形成が困難になるとともに、レジストパターンの合わせずれが生じやすく

なる。これは、半導体メモリの記憶特性などの、特性の変動原因になってしまう。

【0025】また、第1の従来例における「λ型」の6トランジスタ型SRAMにおいては、拡散層122bとゲート電極124の分枝部124aと局所配線127aとの間がシェアドコンタクトを用いて接続されている。また、拡散層122hとゲート電極123の分枝部123aと局所配線127bとの間がシェアドコンタクトを用いて接続されている。このようにシェアドコンタクトを用いていることにより、図17に示すLIC部の形成は、第1の金属層からなる局所配線127a、127bを形成した段階で完了する。これにより、ワード線の分路を、さらに上層の第2の金属層において形成することができ、その設計ルールをあまり厳しくする必要がない。

【0026】しかしながら、この6トランジスタ型SRAMを他の半導体素子と混載させる混載プロセスなどにおいては、プロセスが非常に複雑になってしまい、このシェアドコンタクトを用いることが困難になるため、好ましくない。この場合、第1の従来例に示す構造は採用されずに、第2の従来例に示す構造が採用される。

【0027】ところが、第2の従来例を採用した場合においても、次のような問題が生じる。

【0028】すなわち、第2の従来例に示す構造においては、第1の従来例におけると同様に、素子活性領域201a~201dのパターン形状とゲート電極203、204のパターン形状が非常に複雑になり、リソグラフィ工程の際のパターン形成が困難になる。また、リソグラフィ工程の際にレジストパターンに合わせずれが生じてしまい、半導体メモリの特性が変動してしまう。

【0029】さらに、左右に配置されるゲート電極203とゲート電極204との形状（引き回し）が異なるために特性の点から左右のバランスが悪くなってしまう。また、シェアドコンタクトを用いていないため、図17に示すLIC部の形成は、第1の金属層からなる局所配線207a、207bを形成した段階では完了しておらず、第2の金属層からなる局所配線213の形成まで必要になる。

【0030】ところが、第2の金属層まで用いてLIC部を形成すると、図22Aに示すように、ワード線205の分路209の形成を、局所配線207a、207bの形成と同時に、第1の金属層を用いて行う必要が生じる。このようにして、ワード線205の分路209を形成すると、設計ルールが非常に厳しくなる。

【0031】そこで、このワード線205の分路209の設計ルールを緩和させるためには、第1の従来例を採用して、図18Bに示すような、シェアドコンタクトを用いる構造を採用する必要がある。ところが、上述したように、この第2の従来例は、第1の従来例によるメモリセル構造を適用できない場合などに採用されること

が多い。そのため、第2の従来例の代わりに第1の従来例を適用することは、実際には非常に困難であった。

【0032】

【発明が解決しようとする課題】したがって、シェアドコンタクトを用いることなく、ワード線の分路の設計ルールを緩和させることのできる技術の開発が望まれている。また、第1の従来例および第2の従来例に共通した問題として存在する、ゲート電極および素子活性領域のパターン形状の単純化を図ることができる技術の開発が熱望されている。

【0033】したがって、この発明の目的は、素子活性領域のパターン形状とゲート電極のパターン形状との単純化を図ることにより、リソグラフィ工程におけるパターン形成の容易化を図り、レジストパターンの合わせずれを低減することができ、これによって、半導体メモリの記憶特性などの特性変動を防止するとともに、ワード線の分路における設計ルールの緩和を図ることができる半導体メモリを提供することにある。

【0034】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、第1のインバータと第2のインバータとから構成されるフリップフロップと、第1のアクセストランジスタと、第2のアクセストランジスタとを有し、第1のインバータが、第1のドライバトランジスタと第1のロードトランジスタとから構成され、第2のインバータが、第2のドライバトランジスタと第2のロードトランジスタとから構成され、第1のインバータを構成する第1のドライバトランジスタおよび第1のロードトランジスタの配置方向と、第2のインバータを構成する第2のドライバトランジスタおよび第2のロードトランジスタの配置方向とが互いにほぼ平行に設けられ、第1のアクセストランジスタおよび第2のアクセストランジスタが、第1のインバータの配置方向および第2のインバータの配置方向に対してほぼ垂直な方向に配置された構造を有する半導体メモリにおいて、第1のドライバトランジスタの一方の拡散層と第1のアクセストランジスタの一方の拡散層とが共通に設けられ、第2のドライバトランジスタの一方の拡散層と第1のアクセストランジスタの一方の拡散層とが共通に設けられ、第1のドライバトランジスタ、第2のドライバトランジスタ、第1のロードトランジスタ、第2のロードトランジスタ、第1のアクセストランジスタおよび第2のアクセストランジスタを覆うようにして第1の層間絶縁膜が設けられ、半導体メモリの第1の記憶ノードの部分を構成する、第1のドライバトランジスタおよび第1のアクセストランジスタに共通の拡散層と第1のロードトランジスタの拡散層とが、第1の層間絶縁膜の部分に埋め込まれた溝配線を用いて接続されていることを特徴とするものである。

【0035】この第1の発明において、典型的には、第

1のドライバトランジスタの拡散層と、第1のロードトランジスタの拡散層と、第2のロードトランジスタおよび第2のドライバトランジスタに共通に用いられるゲート電極とは、溝配線を用いて接続されている。具体的には、溝配線は、平面的に、少なくとも3端を有するパターン形状を有し、第1のドライバトランジスタの拡散層と、第1のロードトランジスタの拡散層と、第2のロードトランジスタおよび第2のドライバトランジスタに共通に用いられるゲート電極とが、それぞれ互いに溝配線の3端を用いて接続されている。また、この第1の発明において、3端を有する溝配線の形状は、具体的には、平面的にT字形状またはY字形状である。

【0036】この第1の発明において、典型的には、第1の層間絶縁膜上に、少なくとも溝配線を覆うようにして形成された第2の層間絶縁膜が設けられ、半導体メモリの第2の記憶ノードの部分構成する、第2のドライバトランジスタの拡散層と第2のロードトランジスタの拡散層とが、第2の層間絶縁膜を隔てて設けられた第1の局所配線を用いて接続されている。また、この第1の発明において、好適には、第2のドライバトランジスタの拡散層と、第2のロードトランジスタの拡散層と、第1のロードトランジスタおよび第1のドライバトランジスタに共通に用いられる第1のゲート電極とが、第1の局所配線を用いて接続されている。そして、この第1の発明において、具体的には、第1の局所配線が、平面的に、少なくとも3端を有するパターン形状を有し、第2のドライバトランジスタの拡散層と、第2のロードトランジスタの拡散層と、第1のロードトランジスタおよび第1のドライバトランジスタに共通に用いられる第1のゲート電極とが、それぞれ互いに第1の局所配線の3端を用いて接続されている。そして、この第1の発明において、第1の局所配線における3端を有するパターン形状は、具体的には、平面的にT字形状またはY字形状である。

【0037】この第1の発明において、好適には、第1のドライバトランジスタおよび第1のロードトランジスタが、互いに共通に用いられる第1のゲート電極を有し、ゲート電極のパターン形状は矩形状である。また、第2のドライバトランジスタおよび第2のロードトランジスタが、互いに共通に用いられる第2のゲート電極を有し、第2のゲート電極のパターン形状は矩形状である。

【0038】この発明の第2の発明は、第1のインバータと第2のインバータとから構成されるフリップフロップと、第1のアクセストランジスタと、第2のアクセストランジスタとを有し、第1のインバータが、第1のドライバトランジスタと第1のロードトランジスタとから構成され、第2のインバータが、第2のドライバトランジスタと第2のロードトランジスタとから構成され、第1のインバータを構成する、第1のドライバトランジスタ

タおよび第1のロードトランジスタの配置方向と、第2のインバータを構成する第2のドライバトランジスタおよび第2のロードトランジスタの配置方向とが互いにほぼ平行に設けられ、第1のアクセストランジスタおよび第2のアクセストランジスタが、第1のインバータの配置方向および第2のインバータの配置方向に対してほぼ垂直な方向に配置された構造を有する半導体メモリにおいて、第1のドライバトランジスタの一方の拡散層と第1のアクセストランジスタの一方の拡散層とが共通に設けられ、第2のドライバトランジスタの一方の拡散層と第2のアクセストランジスタの一方の拡散層とが共通に設けられ、第1のドライバトランジスタ、第2のドライバトランジスタ、第1のロードトランジスタ、第2のロードトランジスタ、第1のアクセストランジスタおよび第2のアクセストランジスタを覆うようにして第1の層間絶縁膜が設けられ、半導体メモリの第1の記憶ノードの部分構成する、第1のドライバトランジスタおよび第1のアクセストランジスタに共通の拡散層と、第1のロードトランジスタの拡散層とが、第1の層間絶縁膜の部分に設けられた第1の溝配線を用いて接続されているとともに、半導体メモリの第2の記憶ノードの部分構成する、第2のドライバトランジスタおよび第2のアクセストランジスタに共通の拡散層と、第2のロードトランジスタの拡散層とが、第1の層間絶縁膜の部分に設けられた第2の溝配線を用いて接続されていることを特徴とするものである。

【0039】この第2の発明において、典型的には、第1の溝配線および第2の溝配線が、平面的に、2端を有するパターン形状を有し、第1のドライバトランジスタおよび第1のアクセストランジスタに共通の拡散層と、第1のロードトランジスタの拡散層とが、第1の溝配線の2端のそれぞれの一端の部分において接続されているとともに、第2のドライバトランジスタおよび第2のアクセストランジスタに共通の拡散層と、第2のロードトランジスタの拡散層とが、第2の溝配線の2端のそれぞれの一端において接続されている。また、好適には、第1の溝配線および第2の溝配線の平面的なパターン形状は、矩形状である。

【0040】この第2の発明において、第1の層間絶縁膜上に、少なくとも第1の溝配線および第2の溝配線を覆うようにして形成された第2の層間絶縁膜が設けられ、第2の溝配線と、第1のロードトランジスタおよび第1のドライバトランジスタに共通に用いられる第1のゲート電極とが、第2の層間絶縁膜上に設けられる第1の局所配線を用いて接続されている。また、この第2の発明において、好適には、第1の局所配線が平面的に2端を有するパターン形状を有し、第2の溝配線と、第1のロードトランジスタおよび第1のドライバトランジスタに共通に用いられる第1のゲート電極とが、第1の局所配線の2端のそれぞれの一端において接続されてい

る。

【0041】この第2の発明において、典型的には、第1の層間絶縁膜上に、少なくとも第1の溝配線および第2の溝配線を覆うようにして形成された第2の層間絶縁膜が設けられ、第1の溝配線と、第2のロードトランジスタおよび第2のドライバトランジスタに共通に用いられる第2のゲート電極とが、第2の層間絶縁膜上に設けられる第2の局所配線を用いて接続されている。

【0042】この第2の発明において、典型的には、第2の局所配線が平面的に2端を有するパターン形状を有し、第1の溝配線と、第2のロードトランジスタおよび第2のドライバトランジスタに共通に用いられる第2のゲート電極とが、第2の局所配線の2端のそれぞれの一端において接続されている。この第2の発明において、典型的には、第2の局所配線は「〜」字形状である。

【0043】この第2の発明において、典型的には、第1のドライバトランジスタおよび第1のロードトランジスタが、互いに共通に用いられる第1のゲート電極を有し、第1のゲート電極のパターン形状は、凸部を有する矩形状であるが、凸部を設けずに、矩形状とすることも可能である。また、この第2の発明において、典型的には、第2のドライバトランジスタおよび第2のロードトランジスタが、互いに共通に用いられる第2のゲート電極を有し、第2のゲート電極のパターン形状は、凸部を有する矩形状であるが、凸部を設けずに、矩形状とすることも可能である。

【0044】この発明の第3の発明は、第1のインバータと第2のインバータとから構成されるフリップフロップと、第1のアクセストランジスタと、第2のアクセストランジスタとを有し、第1のインバータが、第1のドライバトランジスタと第1のロードトランジスタとから構成され、第2のインバータが、第2のドライバトランジスタと第2のロードトランジスタとから構成され、第1のインバータを構成する第1のドライバトランジスタおよび第1のロードトランジスタの配置方向と、第2のインバータを構成する第2のドライバトランジスタおよび第2のロードトランジスタの配置方向とが互いにはほぼ平行に設けられ、第1のインバータにおける配置方向および第2のインバータにおける配置方向に対してほぼ垂直な方向に、第1のアクセストランジスタおよび第2のアクセストランジスタが配置された構造を有する半導体メモリにおいて、第1のドライバトランジスタ、第2のドライバトランジスタ、第1のロードトランジスタ、第2のロードトランジスタ、第1のアクセストランジスタおよび第2のアクセストランジスタを覆うようにして第1の層間絶縁膜が設けられ、半導体メモリの第1の記憶ノードの部分を構成する、第1のドライバトランジスタの拡散層と、第1のロードトランジスタの拡散層と、第1のアクセストランジスタの拡散層とが、第1の層間絶縁膜の部分に設けられた第1の溝配線を用いて接続され

ているとともに、半導体メモリの第2の記憶ノードの部分構成する、第2のドライバトランジスタの拡散層と、第2のロードトランジスタの拡散層と、第2のアクセストランジスタの拡散層とが、第1の層間絶縁膜の部分に設けられた第2の溝配線を用いて接続されていることを特徴とするものである。

【0045】この第3の発明において、典型的には、第1の溝配線および第2の溝配線の平面的なパターン形状は、矩形状である。

10 【0046】この第3の発明において、典型的には、第1の層間絶縁膜上に、少なくとも第1の溝配線および第2の溝配線を覆うようにして形成された第2の層間絶縁膜が設けられ、第2の溝配線と、第1のロードトランジスタおよび第1のドライバトランジスタに共通に用いられる第1のゲート電極とが、第2の層間絶縁膜上に設けられる第1の局所配線を用いて接続されている。また、この第3の発明において、具体的には、第1の局所配線が平面的に2端を有するパターン形状を有し、第2の溝配線と、第1のロードトランジスタおよび第1のドライバトランジスタに共通に用いられる第1のゲート電極とは、第1の局所配線の2端のそれぞれの一端において接続されている。

20 【0047】この第3の発明において、典型的には、第1の層間絶縁膜上に、少なくとも第1の溝配線および第2の溝配線を覆うようにして形成された第2の層間絶縁膜が設けられ、第1の溝配線と、第2のロードトランジスタおよび第2のドライバトランジスタに共通に用いられる第2のゲート電極とが、第2の層間絶縁膜上に設けられる第2の局所配線を用いて接続されている。そして、この第2の局所配線は、平面的に2端を有するパターン形状を有し、第1の溝配線と、第2のロードトランジスタおよび第2のドライバトランジスタに共通に用いられる第2のゲート電極とが、第2の局所配線の2端のそれぞれの一端において接続されている。

30 【0048】この第3の発明において、典型的には、第1のドライバトランジスタおよび第1のロードトランジスタが、互いに共通に用いられる第1のゲート電極を有し、第1のゲート電極のパターン形状は、矩形状である。また、第2のドライバトランジスタおよび第2のロードトランジスタが、互いに共通に用いられる第2のゲート電極を有し、第2のゲート電極のパターン形状は、矩形状である。

40 【0049】この第3の発明において、好適には、第1のドライバトランジスタ、第2のドライバトランジスタ、第1のロードトランジスタ、第2のロードトランジスタ、第1のアクセストランジスタおよび第2のアクセストランジスタのそれぞれの素子活性領域は、平面的に、互いに隔離して設けられている。そして、この第3の発明において、より好適には、素子活性領域の平面形状は、矩形状である。

【0050】この発明において、典型的には、第1のゲート電極および第2のゲート電極は、それぞれ少なくとも多結晶シリコンからなる層を有し、好適には、ゲート電極は、シリコン化合物膜と多結晶シリコン膜とを順次積層させた構造を有する。また、この発明において、典型的には、第1のゲート電極および第2のゲート電極は、多結晶シリコン(Si)からなる層、タングステン(W)系金属からなる層(W合金層など)、またはチタン(Ti)系金属からなる層(Ti合金層など)を有する。

【0051】この発明において、典型的には、第1のアクセストランジスタおよび第2のアクセストランジスタは、それぞれ第1のドライバトランジスタおよび第2のドライバトランジスタが配置された側に、配置されている。

【0052】上述のように構成されたこの発明の第1の発明による半導体メモリによれば、少なくとも、半導体メモリ第1の記憶ノードの部分構成する拡散層どうしを、溝配線を用いて接続するようにしていることにより、さらにその上層に、第2の層間絶縁膜を介して局所配線を形成することができ、この局所配線によって、第2の記憶ノードの部分構成する拡散層どうしを接続させることも可能となるので、局所配線の形成の段階において、記憶ノード部の構成に必要なすべての接続を完了させることができる。そのため、さらに上層の配線層の設計ルールの緩和を図ることができ、半導体メモリを構成するゲート電極のパターン形状、配線の形状などの単純化を図ることができる。

【0053】また、この発明の第2および第3の発明による半導体メモリによれば、半導体メモリ第1の記憶ノードの部分構成する拡散層どうしを第1の溝配線を用いて接続し、第2の記憶ノードの部分構成する拡散層どうしを第2の溝配線を用いて接続するようにすることにより、さらにその上層に、第2の層間絶縁膜を介して第1の局所配線および第2の局所配線を形成することができ、これらの局所配線によって、第1の記憶ノードの部分構成する拡散層と第2のゲート電極とを接続することができるとともに、第2の記憶ノードの部分構成する拡散層と第1のゲート電極とを接続することができるので、第2の層間絶縁膜上に形成された第1および第2の局所配線の形成までの段階において、記憶ノード部の構成に必要なすべての接続が完了するため、さらに上層の配線層の設計ルールの緩和を図ることができ、半導体メモリを構成する、素子活性領域、ゲート電極、および配線におけるパターン形状の単純化を図ることができる。

【0054】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の

符号を付す。

【0055】まず、この発明の第1の実施形態による6トランジスタ型SRAMの等価回路について説明する。図1に、この第1の実施形態による6トランジスタ型SRAM(完全CMOS型SRAM)の1つのメモリセルにおける等価回路を示す。

【0056】図1に示すように、この第1の実施形態による6トランジスタ型SRAMのメモリセルにおいては、フリップフロップ回路1が、一対のインバータ回路2、3により構成されている。これらのインバータ回路2、3は、それぞれ駆動用のnチャネルMOSトランジスタ(ドライバトランジスタ)4、5と、負荷用のpチャネルMOSトランジスタ(ロードトランジスタ)6、7とから構成されている。そして、フリップフロップ回路1と転送用のnチャネルMOSトランジスタ(アクセストランジスタ)8、9とにより6トランジスタ型SRAMのメモリセルが構成されている。

【0057】ドライバトランジスタ4、5のソース領域には接地線10が接続され、接地(電位 V_{SS})されている。また、ロードトランジスタ6、7のソース領域には電源線11が接続され、電源 V_{DD} に接続されている。また、ワード線12がアクセストランジスタ8、9のゲート電極となっている。また、それぞれのアクセストランジスタ8、9における各々の一方のソース/ドレイン領域に、一対の真補のビット線13、14がそれぞれ接続されている。

【0058】また、図1中において波線で示す、ドライバトランジスタ4、5と、ロードトランジスタ6、7とのそれぞれの接続点は、ドライバトランジスタ4、5のそれぞれの記憶ノード部 N_1 、 N_2 である。そして、ドライバトランジスタ4の記憶ノード部 N_1 は、ドライバトランジスタ4のノードコンタクト部、ロードトランジスタ6のノードコンタクト部、およびこれらのノードコンタクト部を接続するLIC(Local Inter Connect)15からなる。このLIC15は、ドライバトランジスタ5およびロードトランジスタ7のゲート電極に接続されている。同様に、ドライバトランジスタ5の記憶ノード部 N_2 は、ドライバトランジスタ5のノードコンタクト部、ロードトランジスタ7のノードコンタクト部、およびこれらのノードコンタクト部を接続するLIC16からなる。このLIC16は、ドライバトランジスタ4およびロードトランジスタ6のゲート電極に接続されている。

【0059】また、ドライバトランジスタ4、5のそれぞれの記憶ノード部 N_1 、 N_2 は、一対のアクセストランジスタ8、9にそれぞれ接続され、これらのアクセストランジスタ8、9は、それぞれビットコンタクト部17、18を介して、それぞれのビット線13、14に接続されている。

【0060】次に、上述の6トランジスタ型SRAMの

等価回路を実現する、第1の実施形態による6トランジスタ型SRAMセルの具体的な一例について説明する。

【0061】図2は、半導体基板表面に形成される素子活性領域と、その上層に形成されるゲート電極と、半導体基板表面およびゲート電極を覆うようにして形成される第1の層間絶縁膜（図示せず）との平面図を示す。

【0062】図2に示すように、この第1の実施形態によるメモリセルは、半導体基板に素子活性領域21a～21dが形成されており、ドライバトランジスタ4、5、ロードトランジスタ6、7およびアクセストランジスタ8、9のソース/ドレイン領域を構成する拡散層22a～22jが素子活性領域21a～21dに形成されている。そして、ドライバトランジスタ4およびロードトランジスタ6の配置方向と、ドライバトランジスタ5およびロードトランジスタ7の配置方向とは、互いにほぼ平行になるように設けられている。また、アクセストランジスタ8、9は、それぞれドライバトランジスタ4、5が配置された側に配置されている。また、半導体基板上のゲート絶縁膜（図示せず）上には、インバータ回路2、3のゲート電極23、24とワード線25とが形成されている。ゲート電極23、24は、例えば、多結晶Si、W系金属（W合金など）またはTi系金属（Ti合金など）からなる単層膜、もしくはこれらの層を有する積層膜から構成され、互いに平行な直線となる矩形状に設けられている。また、ゲート電極23、24およびワード線25は、第1の層間絶縁膜（図示せず）により覆われている。

【0063】また、図3は、第1の層間絶縁膜に形成された溝配線と、第1の層間絶縁膜上に設けられた第2の層間絶縁膜（図示せず）とを示す。

【0064】図3に示すように、ゲート電極23、24およびワード線25などを覆うように構成された第1の層間絶縁膜の部分には、それぞれの拡散層22a、22c、22d、22e、22g、22h、22i、22jに達するコンタクトホール26a、26c、26d、26e、26g、26h、26i、26jが、それぞれ形成されている。これらのコンタクトホール26a、26c～26e、26g～26jの内部には導電材料からなるコンタクトプラグが埋め込まれる。コンタクトホール26a、26c～26e、26g～26jは、多結晶Si層からなるゲート電極23、24の間において、半導体基板と接続するためのものである。また、第1の層間絶縁膜の部分に、ゲート電極23に達する接続孔26kが形成されている。接続孔26kは、後述する上層の配線層とゲート電極23とを接続するためのものであり、接続孔26k内の接続孔プラグがゲート電極23に接続されている。

【0065】また、第1の層間絶縁膜の部分には、3端を有する平面形状が例えばY字形の配線溝27が形成されている。また、配線溝27の内部には、例えば銅

（Cu）やCu合金などが埋め込まれており、これらにより溝配線28が構成されている。溝配線28は、例えばシェアードコンタクトのようにして、その一端のゲート電極24と平面的に重なる部分において、ゲート電極24に直接接続されているとともに、配線溝27の他の2端と拡散層22b、22fとの平面的に重なる部分において、拡散層22b、22fに直接接続されている。そして、この溝配線28により、アクセストランジスタ8およびドライバトランジスタ4の拡散層22bと、ドライバトランジスタ5およびロードトランジスタ7のゲート電極24と、ロードトランジスタ6の拡散層22eとが接続されている。これにより、図1に示す一方のLIC15の接続がなされ、一方の記憶ノード間の接続がなされている。

【0066】また、溝配線28を覆うようにして第1の層間絶縁膜の上層に第2の層間絶縁膜が設けられており、この第2の層間絶縁膜においても第1の層間絶縁膜におけると同様の、プラグが埋め込まれたコンタクトホールおよび接続孔が形成されている。

【0067】また、図4は、第2の層間絶縁膜上に設けられた第1の金属層および、この第1の金属層を覆うようにして形成された第3の層間絶縁膜（図示せず）の平面図を示す。

【0068】図4に示すように、コンタクトホール26a、26c～26e、26g～26jが形成されている第2の層間絶縁膜の上層には、コンタクトホール26d、26h内のコンタクトプラグ（図示せず）どうしと、接続孔26k内の接続孔プラグ（図示せず）とを接続する局所配線29が形成されている。この局所配線29は、第1の金属層からなり、例えば3端を有するT字型形状に構成されている。T字型の局所配線29の一端は、接続孔26kの内部の接続孔プラグ（図示せず）を介してゲート電極23に接続されている。局所配線29の他の2端は、それぞれコンタクトホール26d、26hの内部のコンタクトプラグ（図示せず）に接続され、これらのコンタクトプラグを介して、それぞれ拡散層22d、22hに接続されている。そして、接続孔26kに埋め込まれた接続孔プラグおよびコンタクトホール26d、26hの内部にそれぞれ埋め込まれたコンタクトプラグと、局所配線29とにより、アクセストランジスタ9およびドライバトランジスタ5の拡散層22dと、ドライバトランジスタ4およびロードトランジスタ6のゲート電極24と、ロードトランジスタ7の拡散層22hとが接続されており、図1に示す他方のLIC16の接続がなされ、他方の記憶ノード間の接続がなされている。

【0069】また、コンタクトホール26a、26c、26e、26g、26iおよび26j内のコンタクトプラグにそれぞれ接する、コンタクト電極30a、30c、30e、30g、30iおよび30jが、第1の金

10

20

30

40

50

属層により形成されている。

【0070】これらの第1の金属層は第3の層間絶縁膜（図示せず）に覆われており、この第3の層間絶縁膜に、コンタクト電極30a、30c、30e、30g、30iおよび30jにそれぞれ達する接続孔31a、31c、31e、31g、31iおよび31jが形成されている。そして、これらの接続孔31a、31c、31e、31g、31iおよび31jの内部には、接続孔プラグが埋め込まれている。

【0071】図5は、第2の金属層および、この第2の金属層を覆うようにして形成された第4の層間絶縁膜（図示せず）の平面図を示す。

【0072】図5に示すように、この第4の層間絶縁膜上には、接続孔31a、31c内の接続孔プラグに接する接地線（ V_{ss} ）32と、接続孔31e、31g内の接続孔プラグに接続する電源線（ V_{dd} ）33と、これらの接地線32および電源線33の長手方向に平行に配置されるワード分岐線（ワード線の分路）34と、接続孔31i、31j内の接続孔プラグに接続されるコンタクト電極35i、35jとが、第2の金属層によって形成されている。

【0073】また、第2の金属層は第4の層間絶縁膜（図示せず）に覆われており、この層間絶縁膜の部分に、コンタクト電極35i、35jに達する接続孔36i、36jが形成されている。また、これらの接続孔36i、36jの内部には例えばWプラグなどの接続孔プラグ（図示せず）が埋め込まれている。

【0074】また、図6は、第3の金属層の平面図を示す。図6に示すように、接続孔36i、36jが形成された層間絶縁膜上には、接続孔36i、36j内の接続孔プラグにそれぞれ接するビット線37、38が第3の金属層によって形成されている。

【0075】以上のようにして、この第1の実施形態による6トランジスタ型SRAMが構成されている。

【0076】以上説明したように、この第1の実施形態による6トランジスタ型SRAMによれば、3端を有する、平面形状が例えばY字形の配線溝27に埋め込まれた溝配線28により、アクセストランジスタ8およびドライバトランジスタ4の拡散層22bと、ドライバトランジスタ5およびロードトランジスタ7のゲート電極24と、ロードトランジスタ6の拡散層22eとを接続して、一方の記憶ノード間（LIC15）の接続を行うとともに、3端を有する平面形状が例えばT字形の第1の金属層からなる局所配線29と、接続孔26k内およびコンタクトホール26d、26h内にそれぞれ埋め込まれたプラグとにより、アクセストランジスタ9およびドライバトランジスタ5の拡散層22dと、ドライバトランジスタ4およびロードトランジスタ6のゲート電極24と、ロードトランジスタ7の拡散層22hとを接続して、他方の記憶ノード間（LIC16）の接続を行

うことによって、図1に示す等価回路におけるLIC部を形成するようにしていることにより、第1の従来例や第2の従来例のようにゲート電極の分岐部を設ける必要がなくなるため、従来複雑であったゲート電極のパターン形状を矩形状にすることができ、その単純化を図ることができる。また、第1の従来例においては、第1の金属層からなるパターン形状が単純である反面、多結晶シリコンからなるゲート電極のパターン形状が非常に複雑であったが、この第1の実施形態による6トランジスタ型SRAMによれば、多結晶シリコンからなるゲート電極のパターン形状と、第1の金属層のパターン形状とをともに単純化することができ、設計ルールの緩和を図ることができる。また、第2の従来例においては、LIC配線を、第2の金属層から構成する必要が生じていたため、ワード分岐線を第1の金属層から構成しなければならなかった。そのため、ワード分岐線を第2の金属層からなる接地線と電源線との間に配置することが困難となってしまう、ワード分岐線（ワード線の分路）の設計ルールが非常に厳しくなっていたが、この第1の実施形態による6トランジスタ型SRAMによれば、第1の金属層の形成の段階において、LICの配線の形成が完了しているため、第2の金属層を用いて、ワード分岐線（ワード線の分路）34を、接地線32と電源線33との間に、それらの長手方向が互いにほぼ平行になるようにして配置することができる。これにより、ワード分岐線の設計ルールの緩和を図ることができるので、第2の金属層の設計ルールの緩和を図ることができるとともに、第1の金属層の設計ルールの緩和を図ることができる。したがって、リソグラフィ工程におけるパターン形成の容易化を図ることができ、レジストパターンの合わせずれを低減することができるので、半導体メモリの記憶特性の変動を防止することができ、ワード線の分路の設計ルールの緩和を図ることができる。

【0077】次に、この発明の第2の実施形態による6トランジスタ型SRAMについて説明する。

【0078】まず、この発明の第2の実施形態による6トランジスタ型SRAMの等価回路については、第1の実施形態における図1に示す回路と同様であるので説明を省略する。

【0079】次に、この6トランジスタ型SRAMの等価回路を実現する、第2の実施形態による6トランジスタ型SRAMセルの具体的な一例について説明する。

【0080】図7は、半導体基板表面に形成される素子活性領域と、その上層に形成されるゲート電極と、半導体基板表面およびゲート電極を覆うようにして形成される第1の層間絶縁膜（図示せず）との平面図を示す。

【0081】図7に示すように、この第2の実施形態によるメモリセルは、半導体基板に素子活性領域21a～21dが形成されており、図1に示すドライバトランジスタ4、5、ロードトランジスタ6、7およびアクセス

トランジスタ 8、9 のソース／ドレイン領域を構成する拡散層 22 a ～ 22 j が、それぞれ素子活性領域 21 a ～ 21 d の部分に形成されている。そして、ドライバトランジスタ 4 およびロードトランジスタ 6 の配置方向と、ドライバトランジスタ 5 およびロードトランジスタ 7 の配置方向とは、互いにほぼ平行になるように設けられている。また、アクセストランジスタ 8、9 は、それぞれドライバトランジスタ 4、5 が配置された側に配置されている。また、半導体基板上のゲート絶縁膜（図示せず）上には、インバータ回路 2、3 のゲート電極 23、24 とワード線 25 とが、例えば多結晶 Si により形成されている。ゲート電極 23、24 は、それらの長手方向が互いに平行な直線となる矩形状の部分と、この直線状の部分からわずかに分岐した形状の凸部 23 a、24 a とから構成されている。これらのゲート電極 23、24 とワード線 25 とは第 1 の層間絶縁膜（図示せず）により覆われている。

【0082】また、図 8 は、第 1 の層間絶縁膜に形成された溝配線と、第 1 の層間絶縁膜上に設けられた第 2 の層間絶縁膜（図示せず）とを示す。

【0083】図 8 に示すように、第 1 の層間絶縁膜の部分には、例えば 2 端を有する矩形状の配線溝 41 a、41 b が、それらの長手方向が互いにほぼ平行になるように形成されている。この第 1 の層間絶縁膜においては、配線溝 41 a、41 b の内部に例えば Cu や Cu 合金などの導電材料が埋め込まれており、それぞれ溝配線 42 a、42 b が構成されている。そして、例えば SAC などのようなコンタクトにより、配線溝 41 a、41 b と拡散層 22 b、22 d、22 f、22 h とが重なる部分において、溝配線 42 a の両端と拡散層 22 b、22 f とが接続されているとともに、溝配線 42 b の両端と拡散層 22 d、22 h とが接続されている。これにより、溝配線 42 a により、拡散層 22 b と拡散層 22 f とが接続されるとともに、溝配線 42 b により、拡散層 22 d と拡散層 22 h とが接続される。

【0084】また、溝配線 42 a、42 b が形成された第 1 の層間絶縁膜の上層にさらに第 2 の層間絶縁膜（図示せず）が設けられており、この第 2 の層間絶縁膜における溝配線 42 a、42 b のそれぞれの一端の部分に、それぞれ接続孔 43 a、43 b が形成されている。

【0085】また、これらの 2 層の第 1 の層間絶縁膜および第 2 の層間絶縁膜の部分には、拡散層 22 a、22 c、22 e、22 g、22 i、22 j に達するコンタクトホール 26 a、26 c、26 e、26 g、26 i、26 j が形成されている。これらのコンタクトホール 26 a、26 c、26 e、26 g、26 i、26 j の内部には導電材料からなるコンタクトプラグが埋め込まれる。コンタクトホール 26 a、26 c、26 e、26 g、26 i、26 j は、例えば多結晶 Si 層、W 系金属または Ti 系金属からなるゲート電極 23、24 の間におい

て、半導体基板における拡散層 22 a、22 c、22 e、22 g、22 i、22 j と接続するためのものである。また、2 層の層間絶縁膜の部分に、ゲート電極 23、24 のそれぞれの凸部 23 a、24 a に達する接続孔 26 k、26 l が形成されている。接続孔 26 k、26 l は、それぞれ後述する上層の配線層とゲート電極 23、24 とを接続するためのものであり、接続孔 26 k、26 l 内の接続孔プラグが、それぞれゲート電極 23、24 に接続されている。

10 【0086】また、図 9 は、第 1 の金属層および、この第 1 の金属層を覆うように形成された第 3 の層間絶縁膜（図示せず）の平面図を示す。

【0087】図 9 に示すように、コンタクトホール 26 a、26 c、26 e、26 g、26 i、26 j および接続孔 43 a、43 b が形成されている第 2 の層間絶縁膜の上層には、接続孔 43 a 内の接続孔プラグと接続孔 26 l 内の接続孔プラグ（いずれも図示せず）とを接続する局所配線 44 a、44 b が形成されている。これらのうちの局所配線 44 a は、第 1 の金属層からなり、例えば 2 端を有する「～」字形状を有して構成されている。局所配線 44 a の一端は、接続孔 26 l 内の接続孔プラグ（図示せず）を介してゲート電極 24 に接続されている。局所配線 44 a の他端は、接続孔 43 a 内の接続孔プラグ（図示せず）に接続され、この接続孔プラグを介して、溝配線 42 a に接続されている。また、局所配線 44 b は、第 1 の金属層からなり、局所配線 44 a と同様に、例えば 2 端を有する「～」字形状を有して構成されている。局所配線 44 b の一端は、接続孔 26 k 内の接続孔プラグ（図示せず）を介してゲート電極 23 に接続されている。局所配線 44 b の他端は、接続孔 43 b 内の接続孔プラグ（図示せず）に接続され、この接続孔プラグを介して、溝配線 42 b に接続されている。

【0088】そして、接続孔 26 l に埋め込まれた接続孔プラグと、局所配線 44 a と、接続孔 43 a に埋め込まれた接続孔プラグと、溝配線 42 a とにより、アクセストランジスタ 8 およびドライバトランジスタ 4 の拡散層 22 b と、ドライバトランジスタ 5 およびロードトランジスタ 7 のゲート電極 24 と、ロードトランジスタ 6 の拡散層 22 e とが接続され、図 1 に示す一方の LIC 15 の接続がなされている。また、接続孔 26 k に埋め込まれた接続孔プラグと、局所配線 44 b と、接続孔 43 b に埋め込まれた接続孔プラグと、溝配線 42 b とにより、アクセストランジスタ 9 およびドライバトランジスタ 5 の拡散層 22 d と、ドライバトランジスタ 4 およびロードトランジスタ 6 のゲート電極 23 と、ロードトランジスタ 7 の拡散層 22 h とが接続されており、図 1 に示す他方の LIC 16 の接続がなされている。これらの接続により、LIC の接続がなされ、記憶ノード間の接続がなされている。

50 【0089】また、コンタクトホール 26 a、26 c、

26e、26g、26i、26j内のコンタクトプラグにそれぞれ接する、コンタクト電極30a、30c、30e、30g、30i、30jが、第1の金属層により形成されている。

【0090】これらの第1の金属層は第3の層間絶縁膜（図示せず）に覆われており、コンタクト電極30a、30c、30e、30g、30i、30jにそれぞれ達する接続孔31a、31c、31e、31g、31i、31jが、この第3の層間絶縁膜に形成されている。そして、これらの接続孔31a、31c、31e、31g、31i、31jの内部には、それぞれ接続孔プラグが埋め込まれている。

【0091】図10は、第2の金属層、およびこの第2の金属層を覆うようにして形成された第4の層間絶縁膜（図示せず）の平面図を示す。

【0092】図10に示すように、第3の層間絶縁膜上には、接続孔31a、31c内の接続孔プラグに接する接地線（ V_{ss} ）32と、接続孔31e、31g内の接続孔プラグに接続する電源線（ V_{dd} ）33と、これらの接地線32および電源線33の長手方向に平行に配置されるワード分岐線（ワード線の分路）34と、接続孔31i、31j内の接続孔プラグに接続されるコンタクト電極35i、35jとが、第2の金属層によって形成されている。

【0093】また、第2の金属層は第4の層間絶縁膜（図示せず）に覆われており、この第4の層間絶縁膜の部分に、コンタクト電極35i、35jに達する接続孔36i、36jが形成されている。また、これらの接続孔36i、36jの内部には例えばWプラグなどの接続孔プラグ（図示せず）が埋め込まれている。

【0094】また、図11は、第3の金属層の平面図を示す。図11に示すように、接続孔36i、36jの形成された第4の層間絶縁膜上には、接続孔36i、36j内の接続孔プラグにそれぞれ接するビット線37、38が第3の金属層によって形成されている。

【0095】以上のようにして、この第2の実施形態による6トランジスタ型SRAMが構成されている。

【0096】以上説明したように、この第2の実施形態によれば、接続孔261内の接続孔プラグ、局所配線44a、接続孔43a内の接続孔プラグ、および溝配線42aにより、アクセストランジスタ8およびドライバトランジスタ4の拡散層22bと、ドライバトランジスタ5およびロードトランジスタ7のゲート電極24と、ロードトランジスタ6の拡散層22eとが接続され、図1に示すLIC15の接続がなされているとともに、接続孔26k内の接続孔プラグ、局所配線44b、接続孔43b内の接続孔プラグ、および溝配線42bにより、アクセストランジスタ9およびドライバトランジスタ5の拡散層22dと、ドライバトランジスタ4およびロードトランジスタ6のゲート電極23と、ロードトランジスタ

タ7の拡散層22hとが接続され、図1に示すLIC16の接続がなされている。そして、これらの接続により、LICの接続がなされ、記憶ノード間の接続がなされていることにより、第1の金属層からなる局所配線44a、44bの形成の段階において、LICの接続が完了しているので、第1の実施形態におけると同様の効果を得ることができる。

【0097】次に、この発明の第3の実施形態による6トランジスタ型SRAMについて説明する。

【0098】まず、この発明の第3の実施形態による6トランジスタ型SRAMの等価回路については、第1の実施形態における図1に示す等価回路と同様であるので説明を省略する。

【0099】次に、この6トランジスタ型SRAMの等価回路を実現する、第3の実施形態による6トランジスタ型SRAMの具体的な一例について説明する。

【0100】図12は、半導体基板表面に形成される素子活性領域と、その上層に形成されるゲート電極と、半導体基板表面およびゲート電極を覆うようにして形成される層間絶縁膜（図示せず）との平面図を示す。

【0101】図12に示すように、この第3の実施形態によるメモリセルにおいては、半導体基板に素子活性領域51a～51fが形成されている。これらの素子活性領域51a～51fのパターン形状は、それぞれ矩形形状であり、互いに1つのトランジスタ領域において、1つの活性領域を構成している。また、図1に示すドライバトランジスタ4、5、ロードトランジスタ6、7およびアクセストランジスタ8、9のソース/ドレイン領域を構成するそれぞれの拡散層52a～52lが、それぞれ素子活性領域51a～51fの部分に形成されている。これらの拡散層52a～52lは、互いに1つのトランジスタごとに独立して形成されており、2つ以上のトランジスタで共有される拡散層領域が存在しない状態に設けられている。そして、ドライバトランジスタ4およびロードトランジスタ6の配置方向と、ドライバトランジスタ5およびロードトランジスタ7の配置方向とは、互いにほぼ平行になるように設けられている。また、アクセストランジスタ8、9は、それぞれドライバトランジスタ4、5が配置された側に配置されている。また、半導体基板上のゲート絶縁膜（図示せず）上には、インバータ回路2、3のゲート電極23、24とワード線25とが、例えば多結晶Siにより形成されている。ゲート電極23、24は、それらの長手方向が互いに平行な直線となる矩形の部分と、この直線状の部分からわずかに分岐した凸形状の凸部23a、24aとから構成されている。なお、これらのゲート電極23、24は、矩形の部分のみであってもよい。また、メモリセルにおいて、素子活性領域51a～51f、拡散層52a～52l、ゲート電極23、24、およびワード線25の配置は、このメモリセルの図面上下方向の仮想的な中心線に

対して対照に形成されている。

【0102】また、図13は、第1の層間絶縁膜に形成された溝配線と、この第1の層間絶縁膜上に設けられた第2の層間絶縁膜（図示せず）とを示す。

【0103】図13に示すように、半導体基板上のゲート電極23、24およびワード線25などは、第1の層間絶縁膜（図示せず）により覆われている。第1の層間絶縁膜の部分には、例えば2端を有する矩形状の配線溝53a、53bが形成されているとともに、矩形状の電極溝54a、54bが形成されている。これらの配線溝53a、53bおよび電極溝54a、54bの内部には、例えばCuやCu合金などが埋め込まれており、それぞれ溝配線56a、56bおよびコンタクト電極57a、57bが構成されている。これらのうち、溝配線56aは、配線溝53aの矩形領域と拡散層52b、52j、52fとの重なる部分において、これらの拡散層52b、52j、52fに接続されている。そして、この溝配線56aを通じて、拡散層52b、52j、52fが互いに接続されている。また、溝配線56bは、配線溝53bの矩形領域と拡散層52d、52h、52lとの重なる部分において、拡散層52d、52h、52lに接続されている。そして、この溝配線56bを通じて、拡散層52d、52h、52lが互いに接続されている。また、コンタクト電極57aは、電極溝54aの矩形領域と拡散層52eとの重なる部分において、拡散層52eに接続されている。また、コンタクト電極57bは、電極溝54aの矩形領域と拡散層52gとの重なる部分において、拡散層52gに接続されている。以上の溝配線56a、56bおよびコンタクト電極57a、57bと、これらの接続される拡散層とは、例えばSACのようにしてコンタクトされている。

【0104】また、溝配線56a、56bおよびコンタクト電極57a、57bが形成された第1の層間絶縁膜の上層に、さらに第2の層間絶縁膜（図示せず）が設けられている。そして、この第2の層間絶縁膜の部分に、拡散層52fの上方で、溝配線56aに達する接続孔58aが形成されているとともに、拡散層52dの上方で、溝配線56bに達する接続孔58bが形成されている。また、この層間絶縁膜の部分に、それぞれコンタクト電極57a、57bに達する接続孔59a、59bがそれぞれ形成されている。

【0105】また、溝配線56a、56bが形成された第1の層間絶縁膜と、接続孔58a、58bおよび接続孔59a、59bが形成された第2の層間絶縁膜との2層の層間絶縁膜の部分に、それぞれの拡散層52a、52c、52j、52kにそれぞれ達するコンタクトホール60a、60c、60i、60kが形成されている。これらのコンタクトホール60a、60c、60i、60kの内部には例えばWプラグなどのコンタクトプラグが埋め込まれている。コンタクトホール60a、60

c、60i、60kは、半導体基板における拡散層52a、52c、52i、52kと後述する上層の配線とを接続するためのものである。また、2層の層間絶縁膜の部分に、ゲート電極23、24、およびそれぞれの凸部23a、24aに達する接続孔61a、61bが形成されている。接続孔61a、61bは、それぞれ後述する上層の配線層とゲート電極23、24とを接続するためのものである。そして、接続孔61a、61b内の接続孔プラグは、それぞれゲート電極23、24に接続されている。

【0106】また、図14は、第1の金属層および、この第1の金属層を覆うように形成された第3の層間絶縁膜（図示せず）の平面図を示す。

【0107】図14に示すように、コンタクトホール60a、60c、60i、60kおよび接続孔58a、58b、61a、61bが形成されている第2の層間絶縁膜の上層には、接続孔61a内の接続孔プラグと接続孔58b内の接続孔プラグ（いずれも図示せず）とを接続する局所配線62aが形成されているとともに、接続孔61b内の接続孔プラグと接続孔58a内の接続孔プラグ（いずれも図示せず）とを接続する局所配線62bが形成されている。これらのうちの局所配線62aは、第1の金属層からなり、例えば2端を有する「〜」字形状を有して構成されている。局所配線62aの一端は、接続孔61a内の接続孔プラグ（図示せず）を介してゲート電極23に接続されている。局所配線62aの他端は、接続孔58b内の接続孔プラグ（図示せず）に接続され、この接続孔プラグを介して、溝配線56bに接続されている。また、局所配線62bは、第1の金属層からなり、局所配線62aと同様に、例えば2端を有する「〜」字形状を有して構成されている。局所配線62bの一端は、接続孔61b内の接続孔プラグ（図示せず）を介してゲート電極24に接続されている。局所配線62bの他端は、接続孔58a内の接続孔プラグ（図示せず）に接続され、この接続孔プラグを介して、溝配線56aに接続されている。

【0108】そして、接続孔61aに埋め込まれた接続孔プラグと、局所配線62aと、接続孔58bに埋め込まれた接続孔プラグと、溝配線56bとにより、アクセストランジスタ9の拡散層52lと、ドライバトランジスタ5の拡散層52dと、ロードトランジスタ7の拡散層22hと、ドライバトランジスタ4およびロードトランジスタ6のゲート電極23とが互いに接続され、図1に示す一方LIC15の接続がなされている。また、接続孔61bに埋め込まれた接続孔プラグと、局所配線62bと、接続孔58aに埋め込まれた接続孔プラグと、溝配線56aとにより、アクセストランジスタ9の拡散層52lと、ドライバトランジスタ5の拡散層52dと、ドライバトランジスタ4およびロードトランジスタ6のゲート電極23と、ロードトランジスタ7の拡散層

52hとが互いに接続され、図1に示す他方のLIC16の接続がなされている。これらの接続により、LICの接続がなされ、記憶ノード間の接続がなされている。

【0109】また、コンタクトホール60a、60c、60i、60k内のコンタクトプラグにそれぞれ接続される、コンタクト電極63a、63c、63i、63k、および接続孔59a、59b内の接続孔プラグにそれぞれ接続される、コンタクト電極63e、63gが、第1の金属層により形成されている。

【0110】これらの第1の金属層は、第3の層間絶縁膜（図示せず）に覆われており、コンタクト電極63a、63c、63e、63g、63i、63kにそれぞれ接続する接続孔64a、64c、64e、64g、64i、64kが、この第3の層間絶縁膜に形成されている。そして、これらの接続孔64a、64c、64e、64g、64i、64kの内部には、それぞれ接続孔プラグが埋め込まれている。

【0111】図15は、第2の金属層、およびこの第2の金属層を覆うようにして形成された第4の層間絶縁膜（図示せず）の平面図を示す。

【0112】図15に示すように、第3の層間絶縁膜上には、接続孔64a、64c内の接続孔プラグに接する接地線（ V_{ss} ）32と、接続孔64e、64g内の接続孔プラグに接続する電源線（ V_{dd} ）33と、これらの接地線32および電源線33の長手方向に平行に配置されるワード分岐線（ワード線の分路）34と、接続孔64i、64k内の接続孔プラグに接続されるコンタクト電極65i、65kとが、第2の金属層によって形成されている。

【0113】また、第2の金属層は、第4の層間絶縁膜（図示せず）に覆われており、この第4の層間絶縁膜の部分に、コンタクト電極65i、65kに達する接続孔66i、66kが形成されている。また、これらの接続孔66i、66kの内部には例えばWプラグなどの接続孔プラグ（図示せず）が埋め込まれている。

【0114】また、図16は、第3の金属層の平面図を示す。図16に示すように、接続孔66i、66kの形成された第4の層間絶縁膜上には、接続孔66i、66k内の接続孔プラグにそれぞれ接続するビット線37、38が第3の金属層によって形成されている。

【0115】以上のようにして、この第3の実施形態による6トランジスタ型SRAMが構成されている。

【0116】以上説明したように、この第3の実施形態によれば、溝配線56aおよび第1の金属層からなる局所配線62bを用いて、アクセストランジスタ8の拡散層52jと、ドライバトランジスタ4の拡散層52bと、ロードトランジスタ6の拡散層22fと、ドライバトランジスタ5およびロードトランジスタ7のゲート電極24とが接続されているとともに、溝配線56bおよび第1の金属層からなる局所配線62aを用いて、アク

セストランジスタ9の拡散層52lと、ドライバトランジスタ5の拡散層52dと、ロードトランジスタ7の拡散層52hと、ドライバトランジスタ4およびロードトランジスタ6のゲート電極23とが接続されて、LICの接続がなされ、記憶ノード間の接続がなされていることにより、第1の金属層からなる局所配線62a、62bの形成の段階において、LICの接続が完了しているので、第1の実施形態における同様の効果を得ることができる。

【0117】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0118】例えば、上述の実施形態において挙げた数値、材料、局所配線やゲート電極のパターン形状および用いられる材料、構成はあくまでも例に過ぎず、必要に応じてこれと異なる、数値、材料、局所配線やゲート電極のパターン形状および用いられる材料や構成を用いることが可能である。

【0119】また、例えば上述の第1～第3の実施形態による6トランジスタSRAMにおいて、溝配線の材料として、CuやCu合金を用いたが、これら以外の材料、例えばアルミニウム（Al）やAl合金などを用いることが可能である。また、配線溝の底面の部分に形成されたコンタクトホールの内部に埋め込む材料として、タンタル（Ta）や窒化タンタル（ Ta_N ）などを下地膜として配線溝と連続的に埋め込まれたCuやCu合金から構成するようにしても良く、また、溝配線の材料と、コンタクトホールの内部に埋め込む材料とを別の材料から構成するようにしても良い。

【0120】

【発明の効果】以上説明したように、この発明の第1の発明による半導体メモリによれば、少なくとも、半導体メモリの第1の記憶ノードの部分構成する拡散層どうしを、溝配線を用いて接続するようにしていることにより、さらにその上層に、第2の層間絶縁膜を介して局所配線を形成することができ、この局所配線によって、第2の記憶ノードの部分構成する拡散層どうしを接続させることが可能となるので、局所配線の形成の段階において、記憶ノード部の構成に必要なすべての接続を完了させることができ、第1の金属層により記憶ノード部の接続を行うことができる。また、この第1の発明によれば、素子活性領域のパターン形状とゲート電極のパターン形状との単純化を図ることができるので、リソグラフィ工程におけるパターン形成の容易化を図り、レジストパターンの合わせずれを低減することができ、半導体メモリの記憶特性の変動を防止するとともに、ワード線の分路における設計ルールの緩和を図ることができる。

【0121】また、この発明の第2および第3の発明による半導体メモリによれば、半導体メモリの第1の記憶

ノードの部分構成する拡散層どうしを第1の溝配線を用いて接続し、第2の記憶ノードの部分構成する拡散層どうしを第2の溝配線を用いて接続するようにすることにより、さらにその上層に、第2の層間絶縁膜を介して第1の局所配線および第2の局所配線を形成することができ、これらの局所配線によって、第1の記憶ノードの部分構成する拡散層と第2のゲート電極とを接続することができる。第2の記憶ノードの部分構成する拡散層と第1のゲート電極とを接続することができるので、第2の層間絶縁膜上に形成された第1および第2の局所配線の形成までの段階において、記憶ノード部の構成に必要なすべての接続が完了させることができ、これによって、その上層に形成される配線の設計ルールの緩和を図ることができる。また、これらの第2の発明および第3の発明によれば、素子活性領域のパターン形状とゲート電極のパターン形状との単純化を図ることができ、リソグラフィ工程におけるパターン形成の容易化を図ることができるので、レジストパターンの合わせずれを低減することができ、これによって、半導体メモリの記憶特性の変動を防止するとともに、ワード分岐線などの配線における設計ルールの緩和を図ることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態による6トランジスタ型SRAMセルの等価回路図である。

【図2】この発明の第1の実施形態による6トランジスタ型SRAMセルの拡散層およびゲート電極を示す平面図である。

【図3】この発明の第1の実施形態による6トランジスタ型SRAMセルの溝配線およびコンタクトホールを示す平面図である。

【図4】この発明の第1の実施形態による6トランジスタ型SRAMセルの第1の金属層および層間絶縁膜に形成された接続孔を示す平面図である。

【図5】この発明の第1の実施形態による6トランジスタ型SRAMセルの第2の金属層および層間絶縁膜に形成された接続孔を示す平面図である。

【図6】この発明の第1の実施形態による6トランジスタ型SRAMセルの第3の金属層を示す平面図である。

【図7】この発明の第2の実施形態による6トランジスタ型SRAMセルの拡散層およびゲート電極を示す平面図である。

【図8】この発明の第2の実施形態による6トランジスタ型SRAMセルの溝配線およびコンタクトホールを示す平面図である。

【図9】この発明の第2の実施形態による6トランジスタ型SRAMセルの第1の金属層および層間絶縁膜に

形成された接続孔を示す平面図である。

【図11】この発明の第2の実施形態による6トランジスタ型SRAMセルの第3の金属層を示す平面図である。

【図12】この発明の第3の実施形態による6トランジスタ型SRAMセルの拡散層およびゲート電極を示す平面図である。

【図13】この発明の第3の実施形態による6トランジスタ型SRAMセルの溝配線およびコンタクトホールを示す平面図である。

【図14】この発明の第3の実施形態による6トランジスタ型SRAMセルの第1の金属層および層間絶縁膜に形成された接続孔を示す平面図である。

【図15】この発明の第3の実施形態による6トランジスタ型SRAMセルの第2の金属層および層間絶縁膜に形成された接続孔を示す平面図である。

【図16】この発明の第3の実施形態による6トランジスタ型SRAMセルの第3の金属層を示す平面図である。

【図17】従来の6トランジスタ型SRAMセルの等価回路図である。

【図18】第1の従来例による入型の完全CMOS-SRAMセルを示す平面図である。

【図19】第1の従来例による入型の完全CMOS-SRAMセルを示す平面図である。

【図20】第1の従来例による入型の完全CMOS-SRAMセルを示す平面図である。

【図21】第2の従来例による完全CMOS-SRAMセルを示す平面図である。

【図22】第2の従来例による完全CMOS-SRAMセルを示す平面図である。

【図23】第2の従来例による完全CMOS-SRAMセルを示す平面図である。

【符号の説明】

1・・・フリップフロップ回路、2・・・インバータ回路、4、5・・・ドライバトランジスタ、6、7・・・ロードトランジスタ、8、9・・・アクセストランジスタ、10、32・・・接地線、11、33・・・電源線、12、25・・・ワード線、13、37・・・ビット線、17・・・ビットコンタクト部、21a～21d、51a～51f・・・素子活性領域、22a～22h、52a～52l・・・拡散層、23、24・・・ゲート電極、23a、24a・・・凸部、26a、26c、26d、26e、26g、26h、26i、26j、60a、60c、60i、60j・・・コンタクトホール、26k、31a、31c、31e、31g、31i、31j、36i、36j、43a、43b、58a、58b、59a、59b、61a、61b、64a、64e、64i、64k、66i、66k・・・接続孔、27、41a、41b、53a、53b・・・配

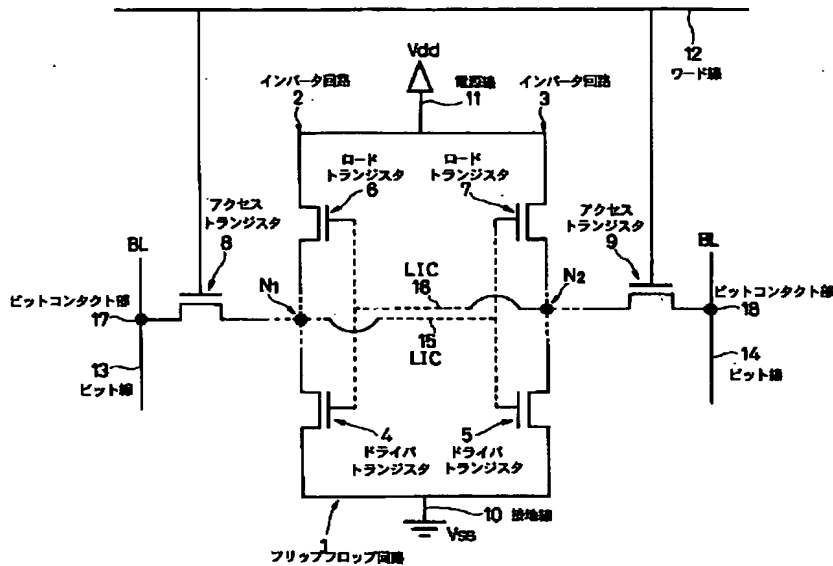
33

線溝、28、42a、42b、56a、56b・・・溝
配線、29、44a、44b、62a、62b・・・局
所配線、30a、30c、30e、30g、30i、3

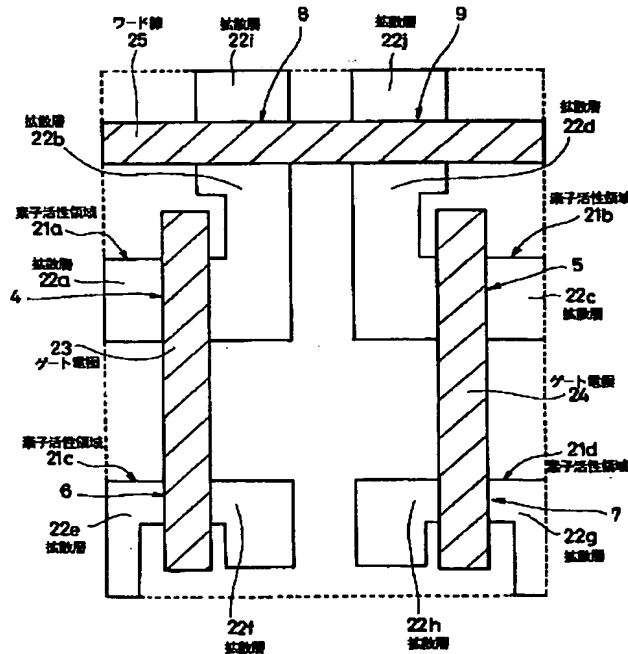
34

0j、35i、35j、57a、57b、63a、65
i、65k・・・コンタクト電極、34・・・ワード分
岐線、54a、54b・・・電極溝

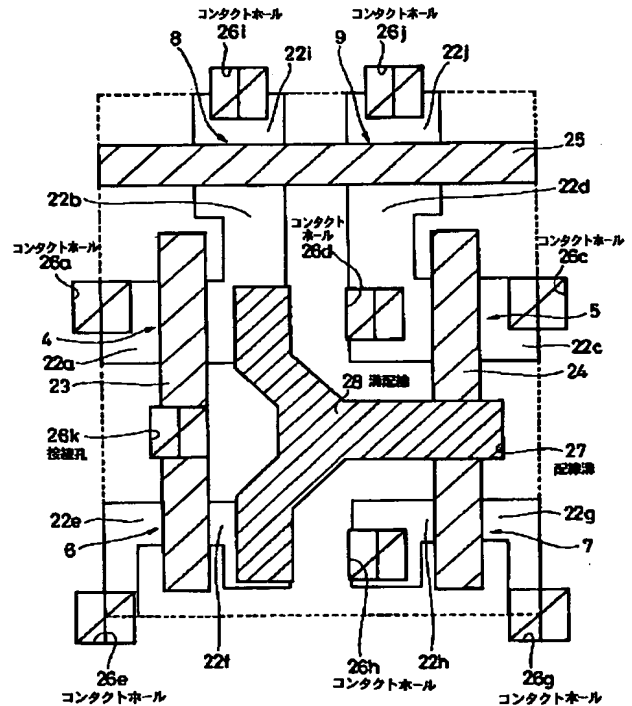
【図1】



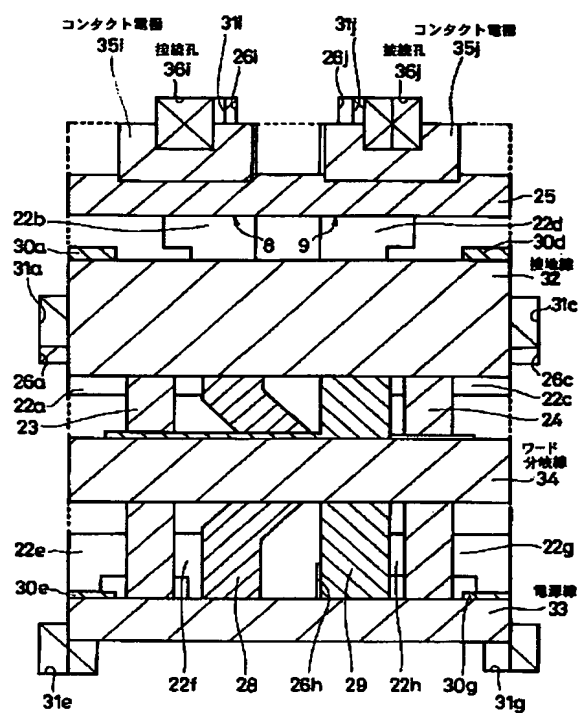
【図2】



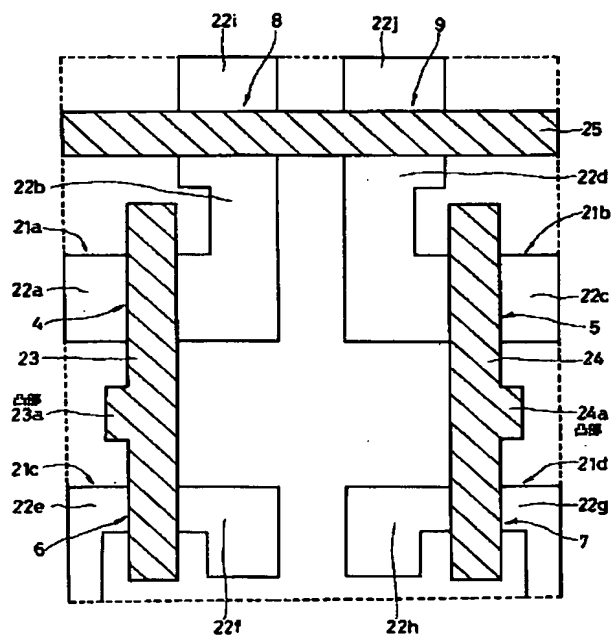
【図3】



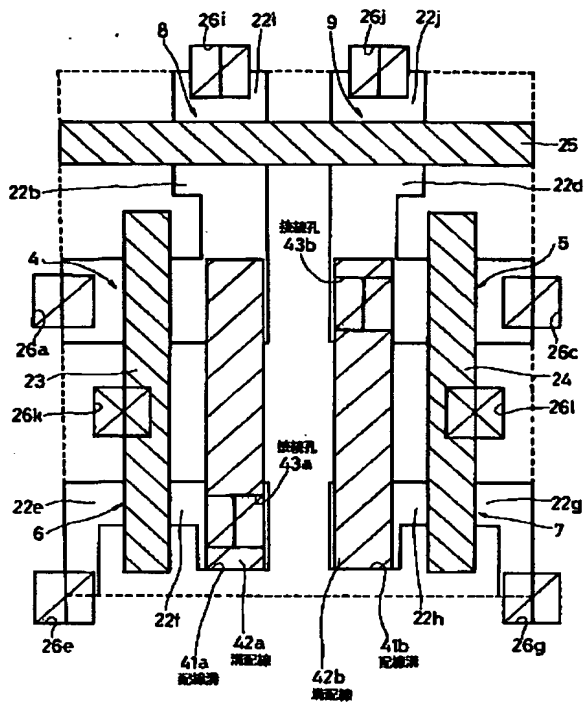
【图 5】



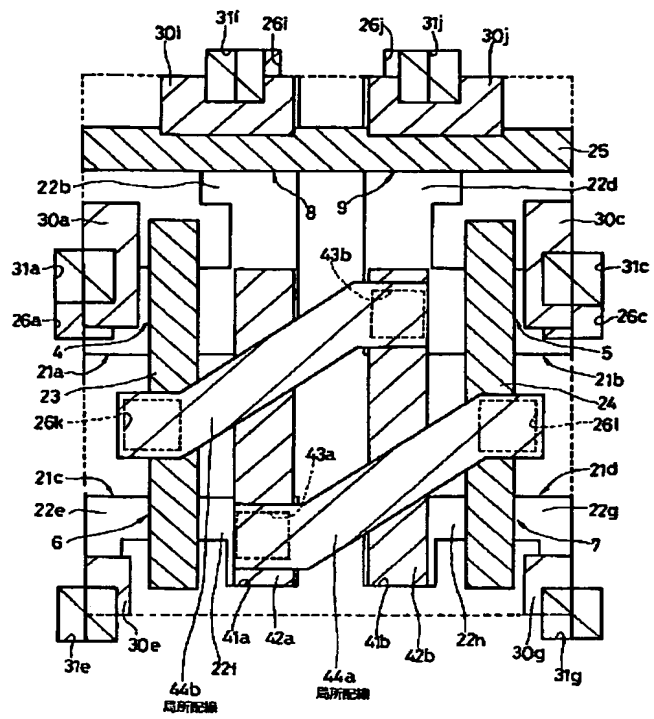
【図 7】



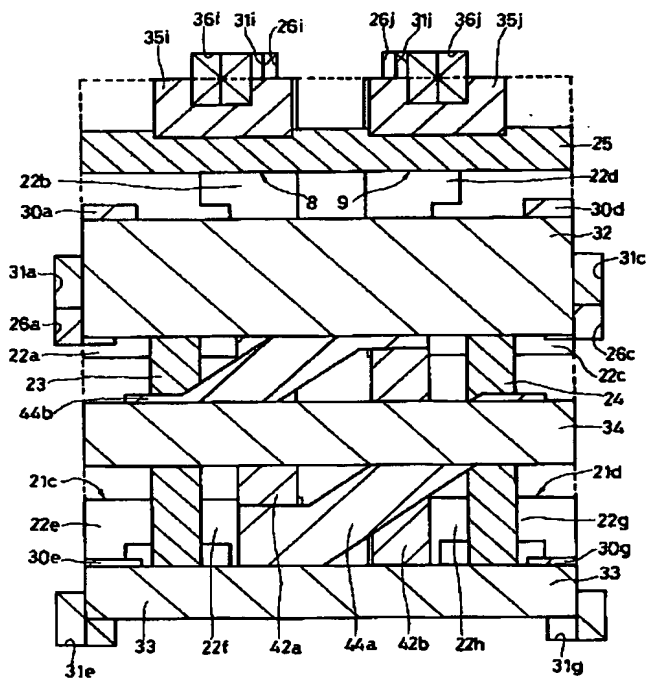
【図 8】



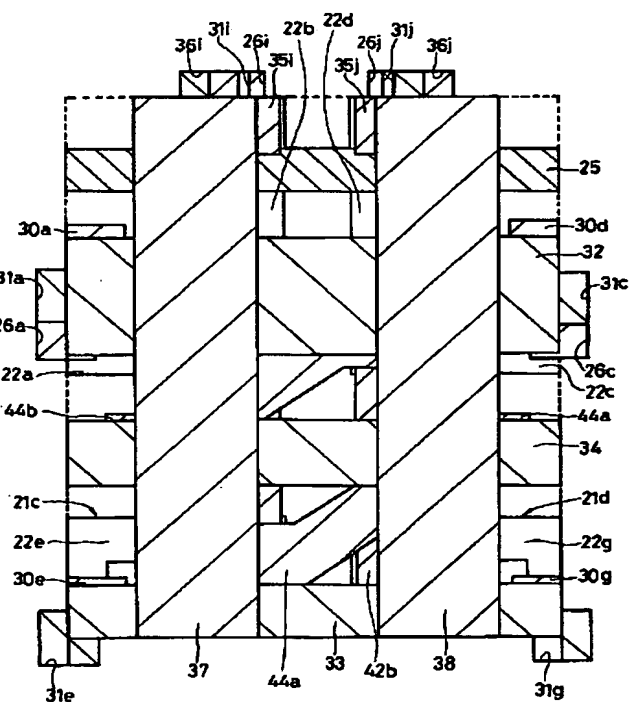
【図 9】



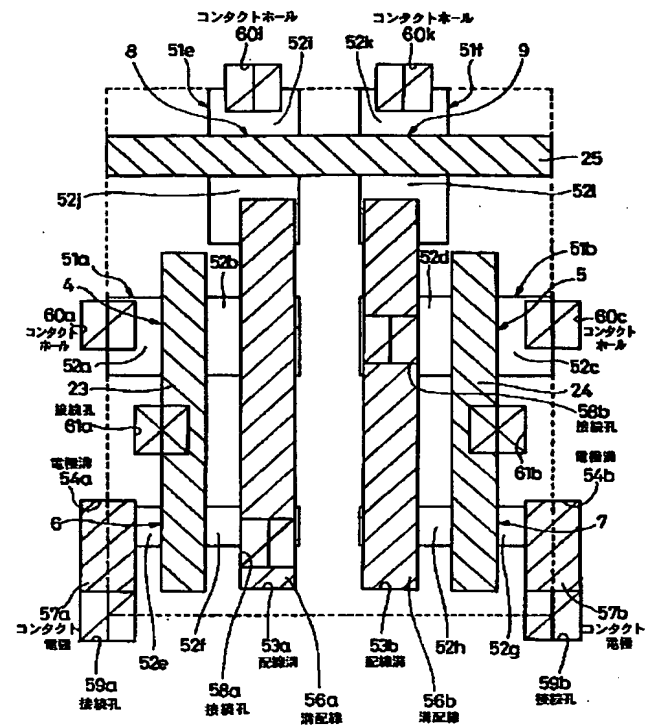
【図 10】



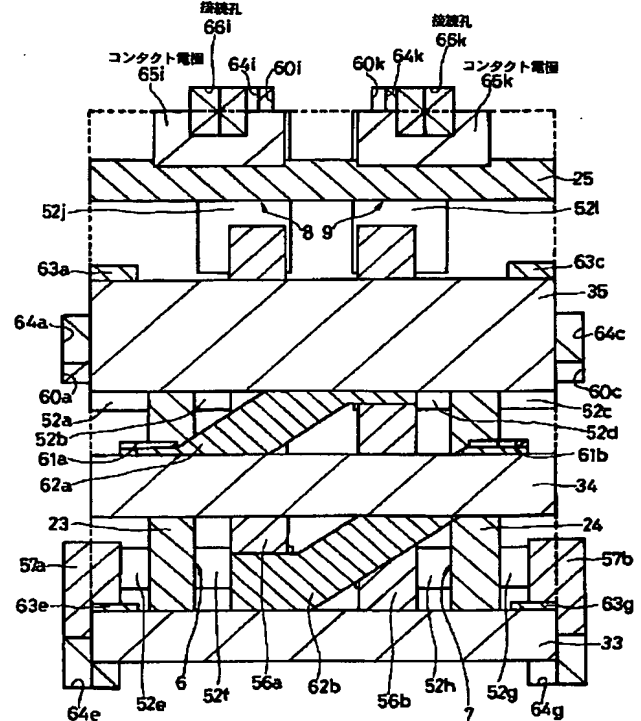
【図 11】



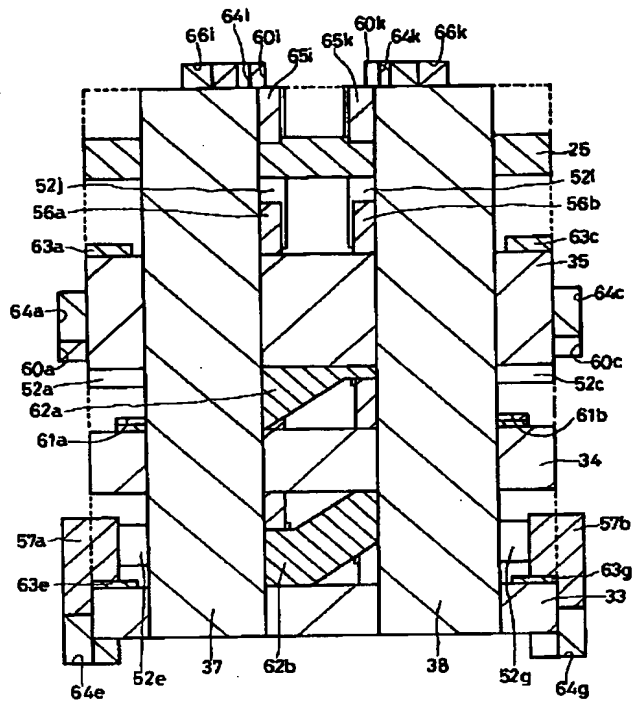
【图 13】



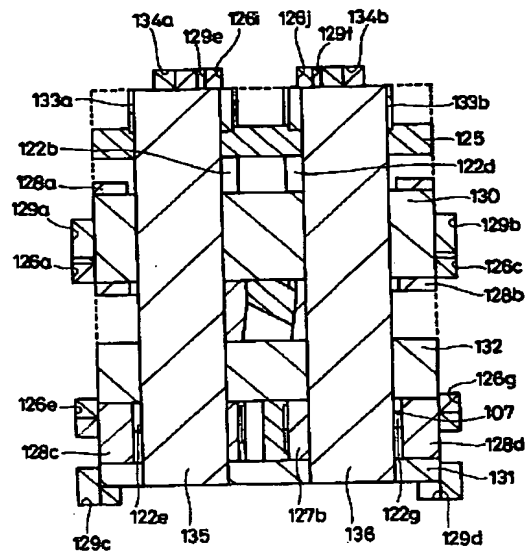
【図 15】



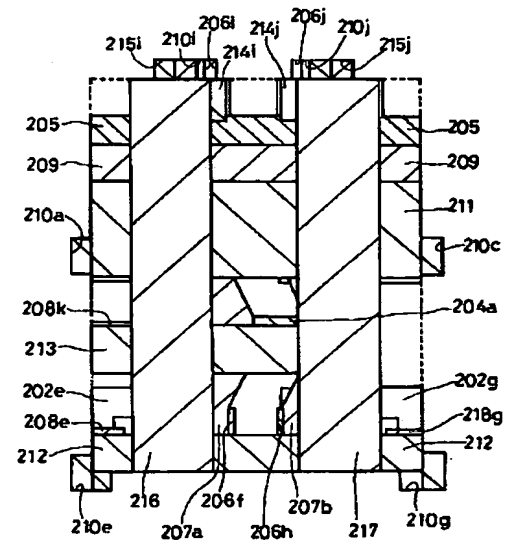
【図 16】



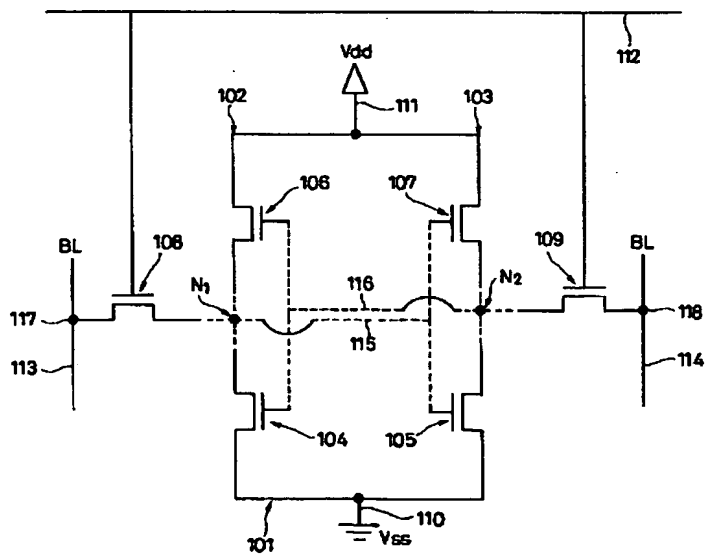
【図 20】



【図 23】



【図 17】



[illegible]

